

芯片使用注意事项：

芯片有多组电源，其中 VDDD28/VDDO28/VDD12 属于数字电源，VDDA28/VDDPIX/VRST/VDDLDO 属于模拟电源。模拟电源走线部分需要特别注意，附近不能有数字电源和数字信号，以免受到干扰。其中 VDDLDO 为芯片内部 LDO 的供电电源，如果需要使用内部 LDO 产生 VDDPIX 和 VRST，那么 VDDLDO 需要提供 3.3V。如果不需要使用内部 LDO，那么 VDDA28 使用一路电源，VDDLDO/VDDPIX/VRST 使用一路电源。

电源线和地线要尽量宽些，一般情况电源线 20mil 以上，如果走很长的电源线，就需要达到 30mil-40mil。模拟电源走线或铺铜周围尽量有 GND 进行隔离。如果是多层板，内层有独立的电源层，建议对各个电源网络进行小范围的铺铜，然后在电源层空余的区域铺上地。模拟电源铺铜和数字电源铺铜间距尽量大于 20mil，最好是在二者之间有 GND 隔开。

地线一般采用统一铺铜方式，在 TOP 层和 BOTTOM 层空余的地方都铺上地的铜，有助于减少串扰。

LVDS 都要走差分线，差分阻抗 100R。长度尽量等长，P 和 N 误差应该小于 10mil，数据线间长度差小于 20mil。

图像传感器是温度敏感器件，因此需要注意整机的散热控制，LDO 或 DC-DC、DSP 芯片应该放置在离 sensor 较远的地方，以防电源芯片过热干扰图像信号。sensor 周围和底部不要放置发热器件(比如 DCDC，LDO、DSP 等)。建议使用多层板，利用电源层和地层来尽快扩散 sensor 热量。

VDDPIX、VRST 的电压推荐由芯片内部 LDO 产生 3.0V 的电源供电。

SXY2012 1.7 inch CMOS 图像传感器应用手册

简介

SXY2012 是一款高性能的 1.7 inch CMOS 图像传感器。有效像素为 1936(H) × 1216(V)，12um × 12um 的像素具有高灵敏度和高动态范围。

特点

- 支持 4/6 对 LVDS 数据接口
- 支持 1/2/4 对 MIPI 接口
- 单帧和多帧的触发曝光操作
- 最高 120fps @line mode，60fps@HDR mode
- ADC 量化精度最高 12bit

应用

- 高端监控

关键参数

Table 1 关键参数

参数		典型值
光学尺寸		1.7 inch
有效像素阵列		1936H×1216V
像素大小		12um×12um
有效感光面积		23232um×14592um
最高帧率		120fps @line mode 60fps@HDR mode
光滤阵列		BW
CRA		0 °
曝光方式		Rolling Shutter
灵敏度		1073917e-/lux.s
暗电流@60 ⁰ C		336e-/s
信噪比(max)		49.5dB
动态范围	非 HDR	72dB
	HDR	102dB
输出接口		LVDS、MIPI
供电	Digital	1.08V ~ 1.32V(typical 1.2V)
	IO	1.8 ~ 3.3V
	Analog	2.7V ~ 2.9V(typical 2.8V)
	Pixel(VDD LDO)	3.3V
功耗		450mW@120fps
工作温度范围		-40 ⁰ C ~ 65 ⁰ C
封装形式		PBGA450

Table of Content

简介	2
特点	2
应用	2
关键参数.....	2
Table of Content.....	3
印刷电路板设计指导.....	6
封装图.....	6
管脚定义.....	8
供电设计.....	14
PCB 注意事项	15
寄存器控制总线.....	15
I2C 总线.....	15
影子寄存器更新.....	16
光学设计.....	17
成像方向.....	17
镜像功能.....	17
调节幅面与帧率.....	18
像素阵列排布.....	18
时钟的计算.....	18
时钟的定义.....	18
PLL 控制	19
系统主时钟控制.....	19
调整幅面.....	20
调整帧率.....	20
外部触发模式.....	21
调节曝光与增益.....	22
调节曝光.....	22
调节增益.....	23
调节增益策略.....	24
HDR	24
LVDS	25
MIPI	28
其他	32
量子效率曲线.....	32
IO 驱动能力调节	32
Pixel Clock 相位调节	33
芯片电源上电顺序.....	33

List of Figures

Figure 1 封装图 (top view)	6
Figure 2 封装图 (bottom view)	7
Figure 3 封装图 (side view)	8
Figure 4 Pin 脚分布图	9
Figure 5 I2C 写操作	16
Figure 6 I2C 读操作	16
Figure 7 光学成像示意图	17
Figure 8 镜像功能示意图	17
Figure 9 像素阵列排布示意图	18
Figure 10 PLL 框图	19
Figure 11 输出波形与帧率计算	20
Figure 12 外部触发模式二	22
Figure 13 外部触发模式三	22
Figure 14 HDR 数据流示意图	25
Figure 15 LVDS 同步方式	25
Figure 16 LVDS 同步码格式	26
Figure 17 LVDS 传输方式	26
Figure 18 LVDS 单个像素 MSB 传输方式	26
Figure 19 LVDS 单个像素 LSB 传输方式	27
Figure 20 MIPI 长短数据包结构	29
Figure 21 DI 结构	29
Figure 22 RAW8 格式 Pixel 数据打包方式	29
Figure 23 RAW12 格式 Pixel 数据打包方式	30
Figure 24 MIPI 1-LANE 模式	30
Figure 25 MIPI 2-LANE 模式	30
Figure 26 MIPI 4-LANE 模式	30
Figure 27 量子效率曲线	32
Figure 28 芯片上电顺序图	33

List of Tables

Table 1 关键参数.....	2
Table 2 管脚描述.....	9
Table 3 电源需求.....	14
Table 4 影子寄存器更新控制.....	16
Table 5 镜像控制寄存器.....	17
Table 6 时钟定义.....	18
Table 7 PLL 控制寄存器.....	19
Table 8 PLL VCO 频率设置对应表.....	19
Table 9 系统主时钟控制.....	20
Table 10 控制输出幅面寄存器.....	20
Table 11 帧率控制寄存器.....	21
Table 12 外部触发控制寄存器.....	21
Table 13 曝光控制寄存器.....	23
Table 14 CG 增益控制寄存器.....	23
Table 15 PGA 增益控制寄存器.....	23
Table 16 ramp 增益控制寄存器.....	24
Table 17 数字增益控制器.....	24
Table 18 HDR 控制寄存器.....	24
Table 19 时序参数表.....	27
Table 20 编码及 LVDS 控制寄存器.....	27
Table 21 MIPI VC 定义.....	29
Table 22 MIPI 控制寄存器.....	31
Table 23 调节驱动能力寄存器.....	32
Table 24 调节 Pclk 的相位.....	33

印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1、Figure 2 和 Figure 3 为 SXY2012 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，具体请参照 Top View 图。

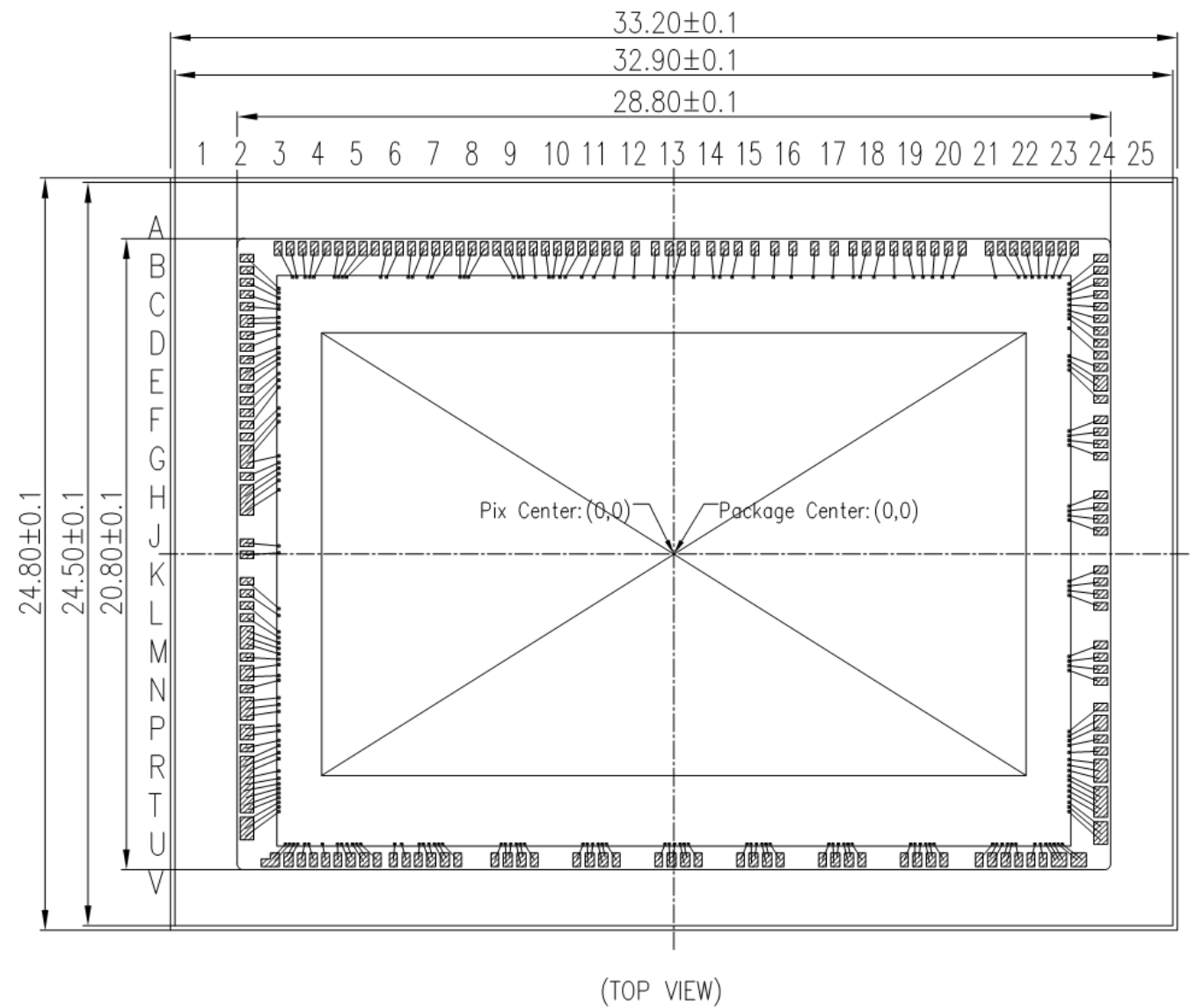


Figure 1 封装图（top view）

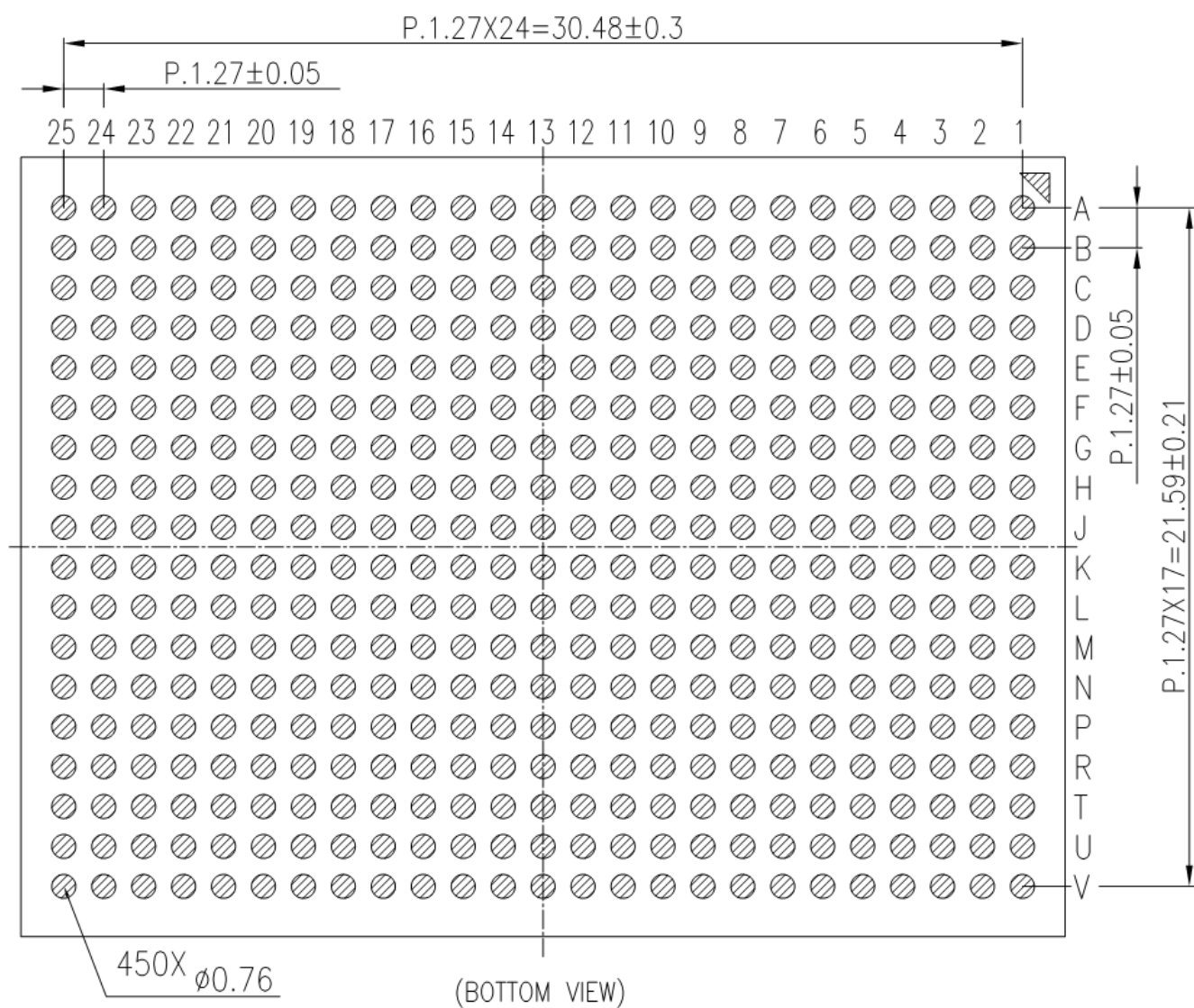
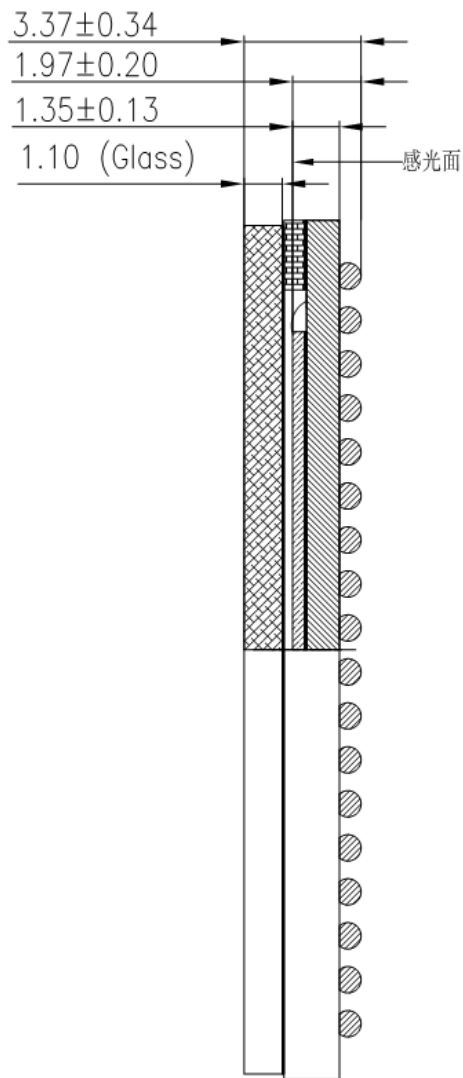


Figure 2 封装图 (bottom view)



玻璃折射率1.52
(SIDE VIEW)

Figure 3 封装图 (side view)

管脚定义

Figure 4 为 Top View 下的 Pin 脚分布图。可以与封装图进行参照。Table 2 为 Pin 脚的具体说明。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25		
A	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC		
B	NC	NC	VDD12	VDDO28	GND	VDD12	GND	VDD12	GND	VDD12	DOUT_4	DOUT_6	DOUT_8	GND	VDD12	GND	CLK_OUT	GND	VDDO28	GND	VDDA28	GND	VN_SS1	NC	NC		
C	NC	GND	GND	LVDS_D5N	LVDS_D4N	LVDS_D3N	LVDS_D2N	LVDS_D1N	LVDS_D0N	VDDO28	LVDS_CLKN	GND	DOUT_7	GND	DOUT_12	DOUT_13	HSYNC	SDA	GND	CLK_IN	GND	VP_TX	GND	VN_TX	NC		
D	NC	VDDLDO	GND	LVDS_D5P	LVDS_D4P	LVDS_D3P	LVDS_D2P	LVDS_D1P	LVDS_D0P	GND	LVDS_CLKP	DOUT_5	DOUT_9	DOUT_10	DOUT_11	GND	VSYNC	SCL	GND	VDD12	GND	VP_SS1	VN_AB	VRST_1	NC		
E	NC	VDDLDO	GND	GND	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	VP_RST	GND	VDDO28	NC		
F	NC	GND	VDDO28	VDDO28	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	GND	VN_RST	GND	NC		
G	NC	VDDRO	VRST_2	GND	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	VDD12	GND	VDDO28	NC		
H	NC	GND	VDDA28	GND	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	VDD12	GND	VDDO28	NC		
J	NC	VDDRO	GND	GND	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	VDD12	GND	VDDO28	NC		
K	NC	VDDRO	GND	VDD12	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	GND	GND	VDDO28	NC		
L	NC	VDDRO	GND	VDD12	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	VDD12	GND	VDDO28	NC		
M	NC	VDDA28	VDDA28	VDDO28	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	GND	GND	VDDO28	NC		
N	NC	VDDA28	GND	GND	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	GND	VDD12	GND	NC		
P	NC	VDDRO	GND	GND	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	GND	VDD12	GND	NC		
R	NC	GND	VDDA28	GND	VDDO28	STDBY	NC	VDDO28	NC	VDDO28	NC	VDDO28	NC	VDDO28	NC	VDDO28	NC	VDDO28	NC	VDDO28	NC	VDDO28	VDDO28	GND	GND	VDDA28	NC
T	NC	VDDA28	VDDA28	GND	RSTB	TRIG	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	VDDA28	VDDA28	NC	NC	
U	NC	NC	VDDA28	VDD12	VDD12	NC	VDD12	VDD12	NC	NC	VDD12	NC	VDD12	NC	VDD12	NC	VDD12	NC	VDD12	NC	VDD12	NC	VDD12	VDDA28	NC	NC	
V	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	

Figure 4 Pin 脚分布图

Table 2 管脚描述

PIN NO.	NAME	I/O	TYPE	DESCRIPTION
B3	VDD12	-	P	1.2V digital power
B4	VDDO28	-	P	IO power
B5	GND	-	G	Ground
B6	VDD12	-	P	1.2V digital power
B7	GND	-	G	Ground
B8	VDD12	-	P	1.2V digital power
B9	GND	-	G	Ground
B10	VDD12	-	P	1.2V digital power
B11	DOUT_4	O	D	NC, keep floating
B12	DOUT_6	O	D	NC, keep floating
B13	DOUT_8	O	D	NC, keep floating
B14	GND	-	G	Ground
B15	VDD12	-	P	1.2V digital power
B16	GND	-	G	Ground
B17	CLK_OUT	O	D	Pixel clock output
B18	GND	-	G	Ground

B19	VDDO28	-	P	IO power
B20	GND	-	G	Ground
B21	VDDA28	-	P	2.8V analog power
B22	GND	-	G	Ground
B23	VN_SS1	O	A	LDO output
C2	GND	-	G	Ground
C3	GND	-	G	Ground
C4	LVDS_D5N	O	D	LVDS data output 5 n port
C5	LVDS_D4N	O	D	LVDS data output 4 n port
C6	LVDS_D3N	O	D	LVDS/MIPI data output 3 n port
C7	LVDS_D2N	O	D	LVDS/MIPI data output 2 n port
C8	LVDS_D1N	O	D	LVDS/MIPI data output 1 n port
C9	LVDS_D0N	O	D	LVDS/MIPI data output 0 n port
C10	VDDO28	-	P	IO power
C11	LVDS_CLKN	O	D	LVDS/MIPI clock n port
C12	GND	-	G	Ground
C13	DOUT_7	O	D	NC, keep floating
C14	GND	-	G	Ground
C15	DOUT_12	O	D	NC, keep floating
C16	DOUT_13	O	D	NC, keep floating
C17	HSYNC	O	D	HSYNC
C18	SDA	I	D	I2C SDA
C19	GND	-	G	Ground
C20	CLK_IN	I	D	Clock input
C21	GND	-	G	Ground
C22	VP_TX	O	A	Charge pump output
C23	GND	-	G	Ground
C24	VN_TX	O	A	Negative Charge pump output
D2	VDDLDO	-	P	LDO power
D3	GND	-	G	Ground
D4	LVDS_D5P	O	D	LVDS data output 5 p port
D5	LVDS_D4P	O	D	LVDS data output 4 p port
D6	LVDS_D3P	O	D	LVDS/MIPI data output 3 p port
D7	LVDS_D2P	O	D	LVDS/MIPI data output 2 p port
D8	LVDS_D1P	O	D	LVDS/MIPI data output 1 p port
D9	LVDS_D0P	O	D	LVDS/MIPI data output 0 p port

D10	GND	-	G	Ground
D11	LVDS_CLKP	O	D	LVDS/MIPI clock p port
D12	DOUT_5	O	D	NC, keep floating
D13	DOUT_9	O	D	NC, keep floating
D14	DOUT_10	O	D	NC, keep floating
D15	DOUT_11	O	D	NC, keep floating
D16	GND	-	G	Ground
D17	VSYNC	O	D	VSYNC
D18	SCL	I	D	I2C SCL
D19	GND	-	G	Ground
D20	VDD12	-	P	1.2V digital power
D21	GND	-	G	Ground
D22	VP_SS1	O	A	Charge pump output
D23	VN_AB	O	A	Negative Charge pump output
D24	VRST_1	-	P	Pixel reset voltage
E2	VDDLDO	-	P	LDO power
E3	GND	-	G	Ground
E4	GND	-	G	Ground
E22	VP_RST	O	A	Charge pump output
E23	GND	-	G	Ground
E24	VDDPIX	-	P	Pixel power input or internal LDO output
F2	GND	-	G	Ground
F3	VDDPIX	-	P	Pixel power input or internal LDO output
F4	VDDPIX	-	P	Pixel power input or internal LDO output
F22	GND	-	G	Ground
F23	VN_RST	O	A	LDO output
F24	GND	-	G	Ground
G2	VDDRO	-	P	2.8V analog power
G3	VRST_2	-	P	Pixel reset voltage
G4	GND	-	G	Ground
G22	VDD12	-	P	1.2V digital power
G23	GND	-	G	Ground
G24	VDDD28	-	P	2.8v digital power
H2	GND	-	G	Ground
H3	VDDA28	-	P	2.8V analog power
H4	GND	-	G	Ground

H22	VDD12	-	P	1.2V digital power
H23	GND	-	G	Ground
H24	VDDD28	-	P	2.8v digital power
J2	VDDRO	-	P	2.8V analog power
J3	GND	-	G	Ground
J4	GND	-	G	Ground
J22	VDD12	-	P	1.2V digital power
J23	GND	-	G	Ground
J24	VDDD28	-	P	2.8v digital power
K2	VDDRO	-	P	2.8V analog power
K3	GND	-	G	Ground
K4	VDD12	-	P	1.2V digital power
K22	GND	-	G	Ground
K23	GND	-	G	Ground
K24	VDDD28	-	P	2.8v digital power
L2	VDDRO	-	P	2.8V analog power
L3	GND	-	G	Ground
L4	VDD12	-	P	1.2V digital power
L22	VDD12	-	P	1.2V digital power
L23	GND	-	G	Ground
L24	VDDD28	-	P	2.8v digital power
M2	VDDA28	-	P	2.8V analog power
M3	VDDA28	-	P	2.8V analog power
M4	VDDD28	-	P	2.8v digital power
M22	GND	-	G	Ground
M23	GND	-	G	Ground
M24	VDDD28	-	P	2.8v digital power
N2	VDDA28	-	P	2.8V analog power
N3	GND	-	G	Ground
N4	GND	-	G	Ground
N22	GND	-	G	Ground
N23	VDD12	-	P	1.2V digital power
N24	GND	-	G	Ground
P2	VDDRO	-	P	2.8V analog power
P3	GND	-	G	Ground
P4	GND	-	G	Ground

P22	GND	-	G	Ground
P23	VDD12	-	P	1.2V digital power
P24	GND	-	G	Ground
R2	GND	-	G	Ground
R3	VDDA28	-	P	2.8V analog power
R4	GND	-	G	Ground
R5	VDDO28	-	P	IO power
R6	STDBY	I	D	高电平芯片进入待机模式，待机电流小于 1mA@27℃
R8	VDDO28	-	P	IO power
R10	VDDO28	-	P	IO power
R12	VDDO28	-	P	IO power
R14	VDDO28	-	P	IO power
R16	VDDO28	-	P	IO power
R18	VDDO28	-	P	IO power
R20	VDDO28	-	P	IO power
R21	VDDO28	-	P	IO power
R22	GND	-	G	Ground
R23	GND	-	G	Ground
R24	VDDA28	-	P	2.8V analog power
T2	VDDA28	-	P	2.8V analog power
T3	VDDA28	-	P	2.8V analog power
T4	GND	-	G	Ground
T5	RSTB	I	D	Rstb
T6	TRIG	I	D	外部触发控制信号
T7	GND	-	G	Ground
T8	GND	-	G	Ground
T9	GND	-	G	Ground
T10	GND	-	G	Ground
T11	GND	-	G	Ground
T12	GND	-	G	Ground
T13	GND	-	G	Ground
T14	GND	-	G	Ground
T15	GND	-	G	Ground
T16	GND	-	G	Ground
T17	GND	-	G	Ground

T18	GND	-	G	Ground
T19	GND	-	G	Ground
T20	GND	-	G	Ground
T21	GND	-	G	Ground
T22	GND	-	G	Ground
T23	VDDA28	-	P	2.8V analog power
T24	VDDA28	-	P	2.8V analog power
U3	VDDA28	-	P	2.8V analog power
U4	VDD12	-	P	1.2V digital power
U5	VDD12	-	P	1.2V digital power
U7	VDD12	-	P	1.2V digital power
U8	VDD12	-	P	1.2V digital power
U11	VDD12	-	P	1.2V digital power
U13	VDD12	-	P	1.2V digital power
U15	VDD12	-	P	1.2V digital power
U17	VDD12	-	P	1.2V digital power
U19	VDD12	-	P	1.2V digital power
U21	VDD12	-	P	1.2V digital power
U22	VDD12	-	P	1.2V digital power
U23	VDDA28	-	P	2.8V analog power

注：表格中未列出的其余 Pin 脚均为 NC，内部无连接。（P=Power, G=Ground, D=Digital, A=Analog）

供电设计

各组电源功耗与外接电容需求见 Table 3。

Table 3 电源需求

序号	电源	标准电压	消耗电流(上限)	外接小电容需求
1	VDDD28	2.8V	10mA	0.1uF x 7 10uF x 3
2	VDD12	1.2V	300mA	0.1uF x26 10uF x 7
3	VDDO28	1.8V-3.3V	50mA	0.1uF x12 10uF x 4
4	VDDA28	2.8V	100mA	0.1uF x16 10uF x 4
5	VDDPIX	3.0V	200mA	0.1uF x2 10uF x 1
6	VRST	3.0V	100mA	0.1uF x2 10uF x 1
7	VDDLDO	3.3V	300mA	0.1uF x2 10uF x 1

注：VDDPIX 和 VRST 可由内部 LDO 产生 3.0V 供电电源。（输入电源为 VDDLDO）

0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF/22uF 的大电容。10uF/22uF 电容放在 Sensor 周围即可，所有的 GND 都接在一起，使用统一地。

PCB 注意事项

芯片有多组电源，其中 VDDD28/VDDO28/VDD12 属于数字电源，VDDA28/VDDPIX/VRST/VDDLDO 属于模拟电源。模拟电源走线部分需要特别注意，附近不能有数字电源和数字信号，以免受到干扰。其中 VDDLDO 为芯片内部 LDO 的供电电源，如果需要使用内部 LDO 产生 VDDPIX 和 VRST，那么 VDDLDO 需要提供 3.3V~3.6V。如果不需要使用内部 LDO，那么 VDDA28 使用一路电源，VDDLDO/VDDPIX/VRST 使用一路电源。

电源线和地线要尽量宽些，一般情况电源线 20mil 以上，如果走很长的电源线，就需要达到 30mil-40mil。模拟电源走线或铺铜周围尽量有 GND 进行隔离。如果是多层板，内层有独立的电源层，建议对各个电源网络进行小范围的铺铜，然后在电源层空余的区域铺上地。模拟电源铺铜和数字电源铺铜间距尽量大于 20mil，最好是在二者之间有 GND 隔开。

地线一般采用统一铺铜方式，在 TOP 层和 BOTTOM 层空余的地方都铺上地的铜，有助于减少串扰。

LVDS 都要走差分线，差分阻抗 100R。长度尽量等长，P 和 N 误差应该小于 10mil，数据线间长度差小于 20mil。

图像传感器是温度敏感器件，因此需要注意整机的散热控制，LDO 或 DC-DC、DSP 芯片应该放置在离 sensor 较远的地方，以防电源芯片过热干扰图像信号。sensor 周围和底部不要放置发热器件（比如 DCDC，LDO、DSP 等）。建议使用多层板，利用电源层和地层来尽快扩散 sensor 热量。

寄存器控制总线

I2C 总线

SXY2012 通过 I2C 总线对外通信，对应的端口为 SDA 和 SCL。从机读地址为 0x65，从机写地址为 0x64。总线采用 16 位的地址，8 位数据的组织方式。

如 Figure 5 所示：向地址 0x012c 中写入数据 0x56，DSP 为主机，SXY2012 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 数据；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“STOP”信号。

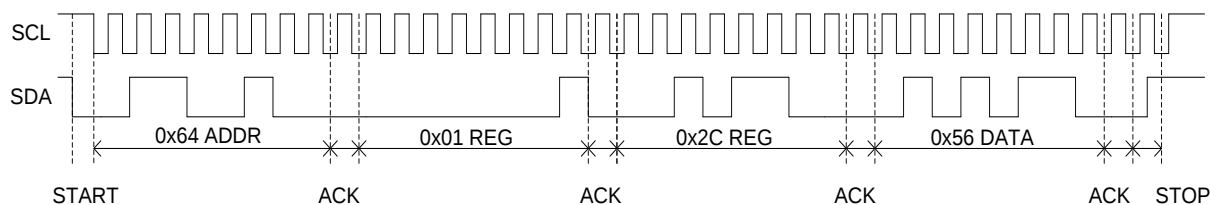


Figure 5 I2C 写操作

如 Figure 6 所示为：从 0x012c 寄存器中读出数据 0x56。DSP 为主机，SXY2012 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“START”信号；
- 主机向从机发送读模式地址 0x65；
- 从机向主机发送“ACK”信号；
- 从机向主机发送 8-bit 数据；
- 主机向从机发送 NOACK；
- 主机向从机发送“STOP”信号。

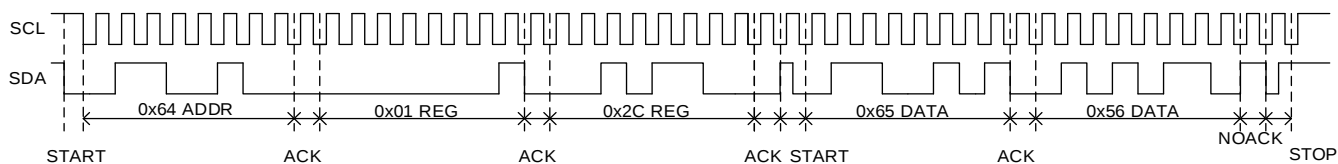


Figure 6 I2C 读操作

影子寄存器更新

SXY2012 内部部分特殊的寄存器采用了影子寄存器。也就是说这部分寄存器在经由 I2C 写入之后不会立即自动更新，而是需要特殊的操作后才会更新。需要“更新”操作的寄存器后面会特殊说明。

Table 4 影子寄存器更新控制

寄存器名	地址	位宽	功能
寄存器更新控制	0x001d	2	Bit[1:0]: 0x01: 立即生效影子寄存器，并立即中断当前帧，重新开始下一帧。 0x02: 写入后，影子寄存器将在下一个有效帧开始时生效。

光学设计

成像方向

SXY2012 的（0，0）像素在 Figure 1 封装图（top view）138PIN 脚的一侧。默认水平读出方向为 138PIN 向 23PIN 方向扫描，默认垂直读出方向为 138PIN 向 104PIN 方向扫描。

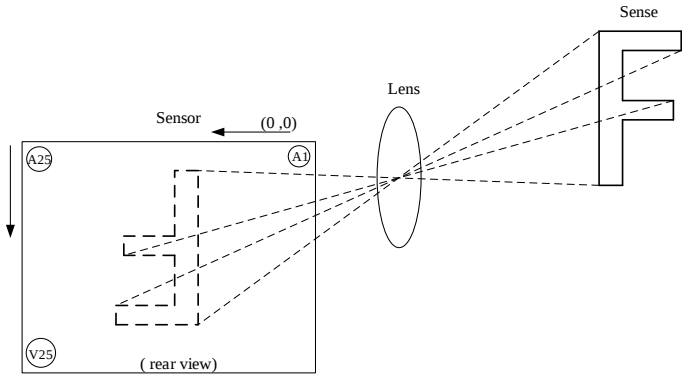


Figure 7 光学成像示意图

镜像功能

SXY2012 内部实现的图像的水平镜像和垂直镜像功能。具体的镜像对应如 Figure 8。需要特别注意的是，镜像后输出顺序与 color filter 顺序可能发生变化。因此镜像后可能需要调整对应的 Color Filter Pattern。具体的调整办法请见《调整帧率和幅面》一节。

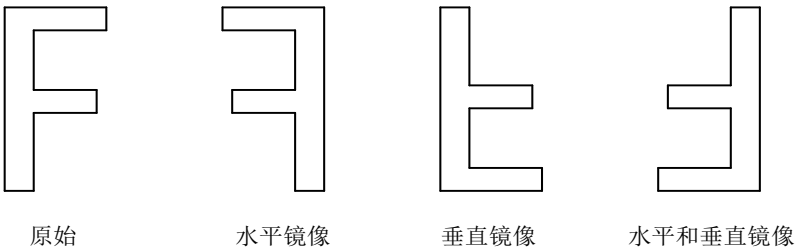


Figure 8 镜像功能示意图

镜像功能对应的寄存器为 0x0020 的低两位：**请注意不要随意变更该寄存器的其他数据位的数值**。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 5 镜像控制寄存器

寄存器名	地址	位宽	功能
读出控制	0x0020	8	Bit[7:2] Reserved Bit[1] 水平镜像控制 Bit[0] 垂直镜像控制

调节幅面与帧率

像素阵列排布

SXY2012 的有效像素阵列大小为 1936H×1216V。具体的排布情况请见 Figure 9。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

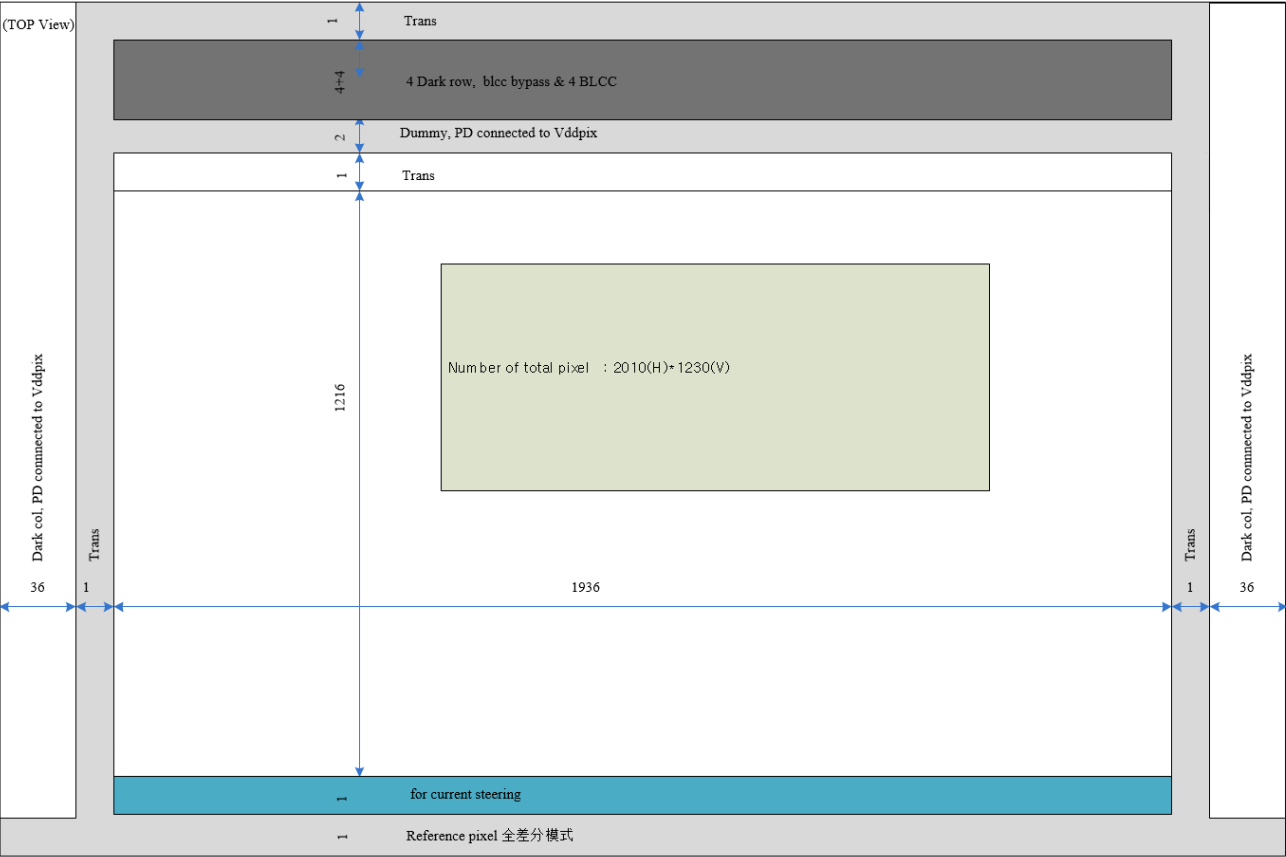


Figure 9 像素阵列排布示意图

时钟的计算

时钟的定义

Table 6 时钟定义

名称	符号	描述	计算办法
外部输入时钟	Clkin	芯片外部接入时钟	-
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素输出时钟	Pclk	芯片输出像素时钟	见《PLL 控制》章节

PLL 控制

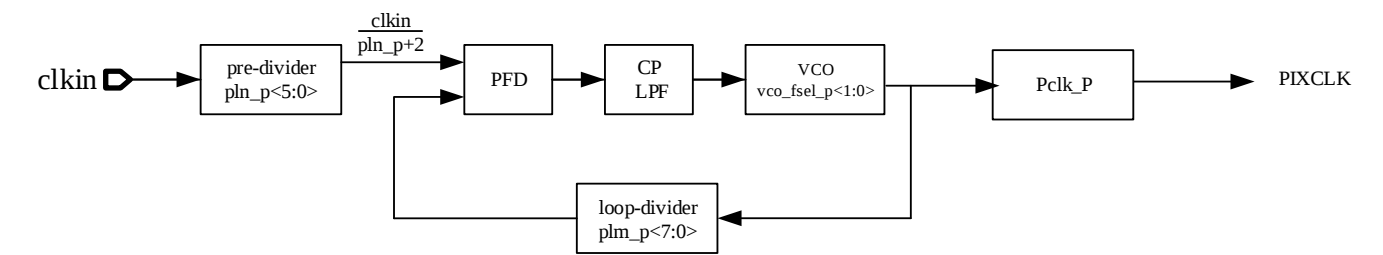


Figure 10 PLL 框图

输出 pclk 与 clkin 的频率对应关系为：

$$f_{Pclk} = \frac{(plm + 2) * f_{clkin}}{(pln + 2)} * \frac{1}{2^{Pclk_P}} * \frac{1}{pclk_sel + 2}$$

PLL 对应的控制寄存器如 Table 7 所示。

Table 7 PLL 控制寄存器

寄存器名	地址	位宽	功能
PLM	0x0031	8	plm
PLN	0x0032	4	pln
PLLCOMC_PCLK	0x0030	7	Bit[6:2] Reserved Bit[1:0] plk_p
PLLCTRL2	0x002f	8	Bit[7:6]Reserved Bit[5:4] vco_freq_sel Bit[3:0] Reserved
PCLK_SEL	0x00d9	3	Bit[6:4] Reserved Bit[3:0] pclk_sel

当调节 vco 振荡频率时，需要设置 PLLCTRL_PCLK 中的 vco_freq_sel。vco 频率的计算公式为：

$$F_{vco} = F_{clkin} * (plm_p + 2)/(pln_p + 2)$$

根据 Table 8 来设置 vco_freq_sel。

Table 8 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	vco 频率范围
00 B	100M ~ 382M
01 B	382M ~ 630M
10 B	630M ~ 882M
11 B	882M ~ 1134M

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin(外部输入时钟)，或 Pclk(像素输出时钟)的倍频。

Table 9 系统主时钟控制

寄存器名	地址	位宽	功能
MCLK_CTRL	0x0017	8	Bit[7:4] mclkc Bit[1] reserved Bit[0] mclk 选择: 1: 选择 clkin, 使 mclk 等于 clkin; 0: 选择 mclk 等于 pclk 的分频, 即 $F_{mclk} = F_{pclk}/(mclkc+1)$ 。F 表示对应时钟的频率。

调整幅面

决定 SXY2012 输出图像大小的寄存器为 HSIZE（宽度）和 VSIZE（高度）。控制读出开始位置的寄存器为 HSTART（水平开始），VSTART（垂直开始），这些寄存器的地址见 Table 10。HSIZE 的默认值为 0x780，VSIZE 的默认值为 0x438，默认输出的图像大小为 1920Hx1080V。**HSIZE，VSIZE，HSTART 和 VSTART 调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。**

Table 10 控制输出幅面寄存器

寄存器名	地址	位宽	功能
HSIZE	0x0006, 0x0007	11	水平尺寸
VSIZE	0x0008, 0x0009	11	垂直尺寸
HSTART	0x0002, 0x0003	11	水平开始位置
VSTART	0x0004, 0x0005	11	垂直开始位置

调整帧率

SXY2012 输出同步信号的波形如 Figure 11 所示。

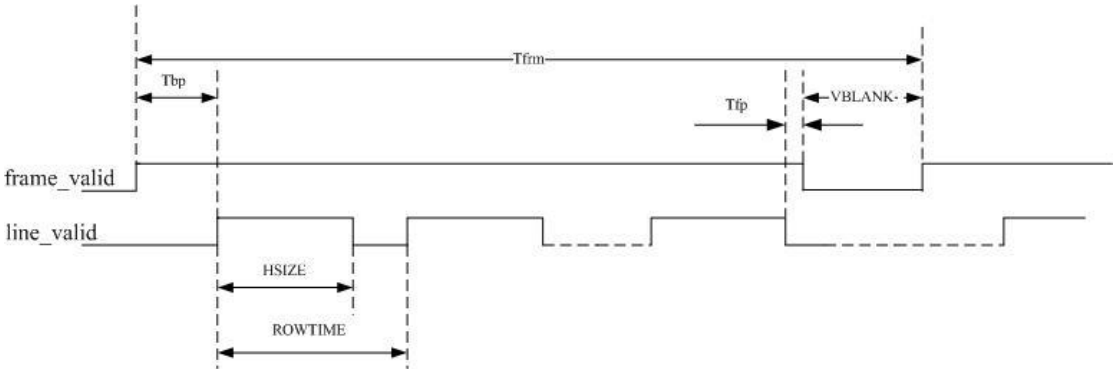


Figure 11 输出波形与帧率计算

在 Figure 11 中，Tfrm 为帧时间。Tbp 称为后廊，指帧同步信号有效后到第一行图像数据的时间间隔。Tfp 称为前廊，指最后一行有效数据输出完毕后到帧同步信号无效的时间间隔。TFRM 和 ROWTIME 为 SXY2012 的寄存器名称。他们的关系为：

$T_{frm} = T_{FRM} * ROWTIME * T_{mclk}$

$T_{bp} + T_{fp} = 6 * ROWTIME * T_{mclk}$

$VBLANK = (T_{FRM} - VSIZE - 9) * ROWTIME * T_{mclk}$

决定 SXY2012 输出帧率的寄存器为 ROWTIME（行时间）和 TFRM，这些寄存器的地址见 Table 11。

Table 11 帧率控制寄存器

寄存器名	地址	位宽	功能
ROWTIME_H	0x000e	8	以主输入内部主时钟为单位的行时间控制寄存器，高[15:8]位。
ROWTIME_L	0x000f	8	以主输入内部主时钟为单位的行时间控制寄存器，低[7:0]位。
TFRM_H	0x0010	8	以行时间为单位的，帧时间控制寄存器,高[15:8]位。
TFRM_L	0x0011	8	以行时间为单位的，帧时间控制寄存器，低[7:0]位。

ROWTIME 的默认值为 0x12c0（十进制为 4800），TFRM 的默认值为 0x0465（十进制为 1125），按照上面计算公式，得到帧时间为：

$T_{frm} = 4800 * 1125 * T_{mclk}$

ROWTIME 和 TFRM 寄存器调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。

外部触发模式

SXY2012 芯片的外部触发由 TRIG 管脚信号进行控制，芯片内部的外部触发控制寄存器如 Table 12 所示：

Table 12 外部触发控制寄存器

TRIGCTRL	[5:0]	16'h0028	触发模式控制： Bit[5]: 外部 TRIG 高电平控制曝光时间模式 Bit[4]: 控制 TRIG 的上升沿来之后是否立即输出数据的模式 Bit[3]: 一次 TRIG 触发单帧还是多帧的模式控制 0:单帧 1: 多帧 Bit[2]: TRIG 是边沿有效还是电平有效控制 0: 边沿有效 1:电平有效 Bit[1]: 外部触发使能控制信号 1: 外部触发 0: 内部触发 Bit[0]: reserved	6'h00
----------	-------	----------	---	-------

Rolling Shutter 曝光方式下，芯片的外部触发一般有四种模式，如下所示：

模式一：帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 上升沿触发芯片开始工作（类似于内部触发模式寄存器 0x000d 设置成 0x01），此模式 TRIGCTRL 寄存器设置为 0x0a。

模式二：外部触发信号的上升沿触发开始读出，同时在距 TRIG 上升沿后的 Tfrm-Texp 时间点触发下一帧

开始曝光，这里的 Tfrm 和 Texp 由芯片内部的寄存器控制，此时的曝光时间和帧时间由 TRIG 的间距决定。此模式 TRIGCTRL 寄存器设置为 0x12

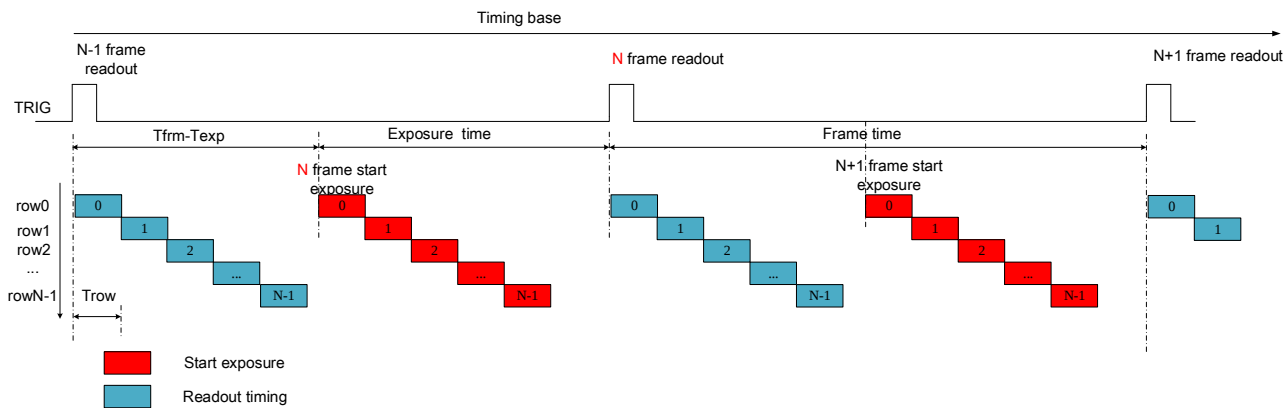


Figure 12 外部触发模式二

模式三：外部 TRIG 信号控制图像的帧时间和曝光时间。TRIG 的高电平为曝光时间（TRIG 的上升沿触发开始曝光，TRIG 的下降沿触发开始读出）；TRIG 的间距控制帧时间。此模式 TRIGCTRL 寄存器设置为 0x22。

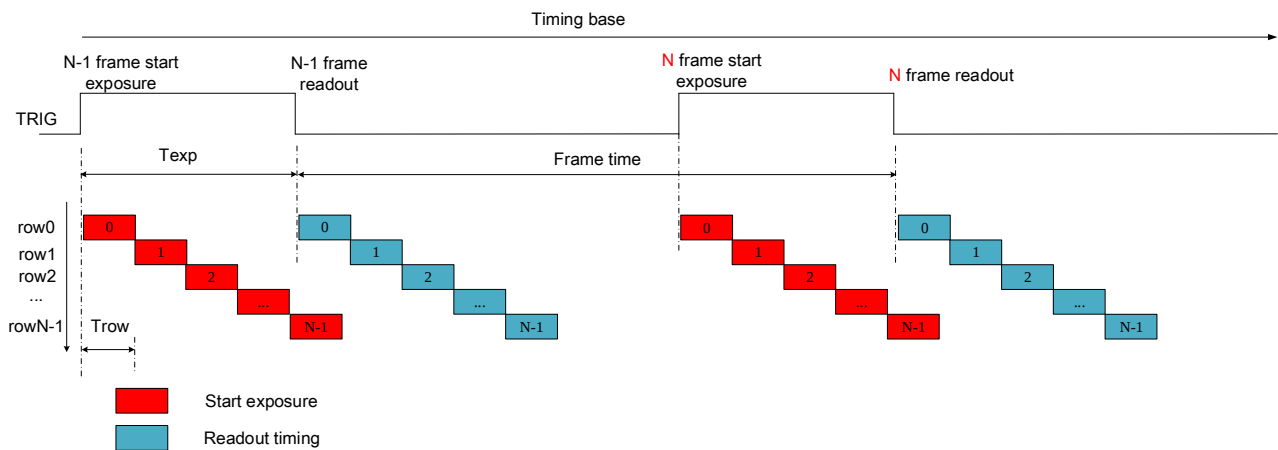


Figure 13 外部触发模式三

模式四：电平触发，帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 为高电平时触发，低电平停止。此模式 TRIGCTRL 寄存器设置为 0x06。

调节曝光与增益

调节曝光

决定曝光时间的寄存器是 TEXP 和 TEXP_MCK 两个寄存器。其中 TEXP 以行时间为单位，TEXP_MCK 以输入主时钟周期为单位。曝光时间计算公式：

$$Texp = (TEXP * ROWTIME + TEXP_MCK) * Tmclk$$

公式中出现的 ROWTIME 为寄存器名字，请参见“调整输出帧率”章。**Texp** 必须小于 **Tfrm**，否则无法输出图像。TEXP 和 TEXP_MCK 寄存器的地址见 Table 13。

Table 13 曝光控制寄存器

寄存器名	地址	位宽	功能
TEXP	0x000c 0x000d	16	以行为单位的曝光长度控制
TEXP_MCK	0x000a 0x000b	16	以主时钟为单位的曝光长度控制

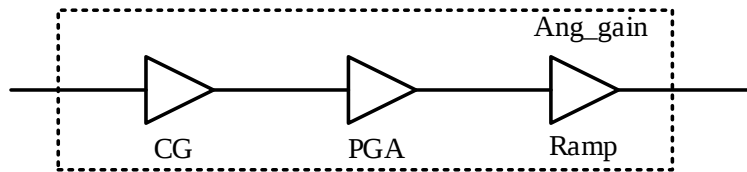
TEXP 的默认值为 0x029b（十进制为 667），TEXP_MCK 的默认值为 0x0000，曝光时间为：

$$T_{exp} = (667 * 4800 + 0) * T_{mclk}$$

TEXP 和 TEXP_MCK 调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。

调节增益

SXY2012 增益有模拟增益和数字增益，模拟增益有三级，第一级为转换增益(Conversion Gain)，第二级为 PGA 增益，第三级为 Ramp 增益。



(1) 转换增益的控制寄存器见 Table 14。

Table 14 CG 增益控制寄存器

寄存器名	地址	位宽	功能
SS1_CTRL	0x00ad	8	Bit[0]:单帧模式 CG 增益控制

CG 转换增益：

$$Gain_{CG} = \begin{cases} 48, SS1_CTRL[0] = 0 \\ 1, SS1_CTRL[0] = 1 \end{cases}$$

(2) PGA 增益的控制寄存器见 Table 15。

Table 15 PGA 增益控制寄存器

寄存器名	地址	位宽	功能
PGA_CTRL	0x00a3	8	PGA 增益控制 (RowA)
PGA_CTRL_s	0x00a6	4	PGA 增益控制 (RowB)

单帧模式下 PGA 增益为：

$$Gain_{PGA} = \frac{16}{PGA_CTRL[3:0] + 1}$$

双增益模式下 PGA 大增益为：

$$Gain_{PGA} = \frac{16}{PGA_CTRL[7:4] + 1}$$

双增益模式下 PGA 小增益为：

$$Gain_{PGA} = \frac{16}{PGA_CTRL[3:0] + 1}$$

双帧模式下 RowB PGA 增益为：

$$\text{Gain}_{\text{PGA}} = \frac{16}{\text{PGA_CTRL_s}[3:0] + 1}$$

(3) ramp 增益的控制寄存器见 Table 16。

Table 16 ramp 增益控制寄存器

寄存器名	地址	位宽	功能
VH_CON	0x00a1	7	ramp 增益控制

由以上两个寄存器控制的模拟增益为：

$$\text{Gain}_{\text{ramp}} = 1.6 / (0.011 * \text{vh_con} + 0.2)$$

综上，总增益为：

$$\text{Gain}_{\text{All}} = \text{Gain}_{\text{cg}} * \text{Gain}_{\text{pga}} * \text{Gain}_{\text{ramp}}$$

调节增益策略

SXY2012 的模拟增益由 CG 转换增益(仅单帧模式)、PGA 增益和 ramp 增益三部分组成。使用过大的模拟增益会导致动态范围下降，因此建议的增益策略是：优先使用 PGA 增益，ramp 增益最大不超过 2 倍（可以固定 ramp 增益为 1），剩余增益使用数字增益补足。在使用 dual gain 模式时，模拟增益将会固定，可以仅使用数字增益。数字增益控制寄存器见 Table 17。

Table 17 数字增益控制器

寄存器名	地址	位宽	功能
DGAIN	0x00c0 0x00c1	13	长帧数字增益控制，增益为 dgain/512。
DGAIN_S	0x00c2 0x00c3	13	短帧数字增益控制，增益为 dgain_s/512。

HDR

SXY2012 有 SDR（单帧）和 HDR 两种模式。HDR 模式可以使用 dual fd 模式和 LOFIC 模式。

Table 18 HDR 控制寄存器

寄存器名	地址	位宽	功能
HDR_EN	0x0021	3	HDR/SDR 模式选择。 bit2: dual FD mode bit1: dual gain mode bit0: LOIFC mode(HDR mode) 1-HDR mode 0-SDR mode

SXY2012 支持 Dual gain mode，SDR 和 HDR 都可以和 duan_gain 模式组合使用。HDR 和 SDR 模式都采用一次曝光来实现，HDR 模式需要通过两次出数来实现，而 Dual gain 模式可以将第一次的出数扩展为更高的动态范围。

HDR 的两帧数据（长帧、短帧）数据流输出顺序如 Figure 14，长帧短帧交替输出。



Figure 14 HDR 数据流示意图

LVDS

在 LVDS 传输模式中，帧/行同步信号集成在数据流中，在数据流中的特殊码 SOF 和 EOF 分别表示帧的起始和结束，SOL 和 EOL 分别表示行的起始和结束。在数据流中，SOF/EOF/SOL/EOL 由 4 个字段构成，每个字段的位宽与像素数据保持一致，前 3 个字段为固定的基准码字，根据第 4 个字段来区分帧/行的起始或结束。同步方式见 Figure 15，LVDS 同步码格式见 Figure 16。

LVDS 同步信息和像素数据在各个通道上见 Figure 17，图中 S 表示同步码，P 表示像素，S 和 P 的位宽与图像单个像素的位宽一致。各个数据通道首先传输同步码，接着是像素数据，像素数据的分布与通道数有关。数据的传输是串行的。通道数可以选择 4、6 通道。每个像素的高位先出或者低位先出，可以选择。

V. BLK				
H. BLK	SOF	Effective Pixel	EOL	H. BLK
H. BLK	SOL	Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
...		...		...
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel	EOF	H. BLK
V. BLK				

Figure 15 LVDS 同步方式

Sync code	Bit width	1st code	2ndcode	3rdcode	4thcode
SOF	12	FFF	000	000	b60(长帧/单帧)
					f10(短帧)
	14	3FFF	0000	0000	2d80(长帧/单帧)
					3c40(短帧)
EOF	12	FFF	000	000	800(长帧/单帧)
					c70(短帧)
	14	3FFF	0000	0000	2000(长帧/单帧)
					31c0(短帧)

SOL	12	FFF	000	000	9d0(长帧/单帧)
					da0(短帧)
	14	3FFF	0000	0000	2740(长帧/单帧)
					3680(短帧)
EOL	12	FFF	000	000	ab0(长帧/单帧)
					ec0(短帧)
	14	3FFF	0000	0000	2ac0(长帧/单帧)
					3b00(短帧)

Figure 16 LVDS 同步码格式

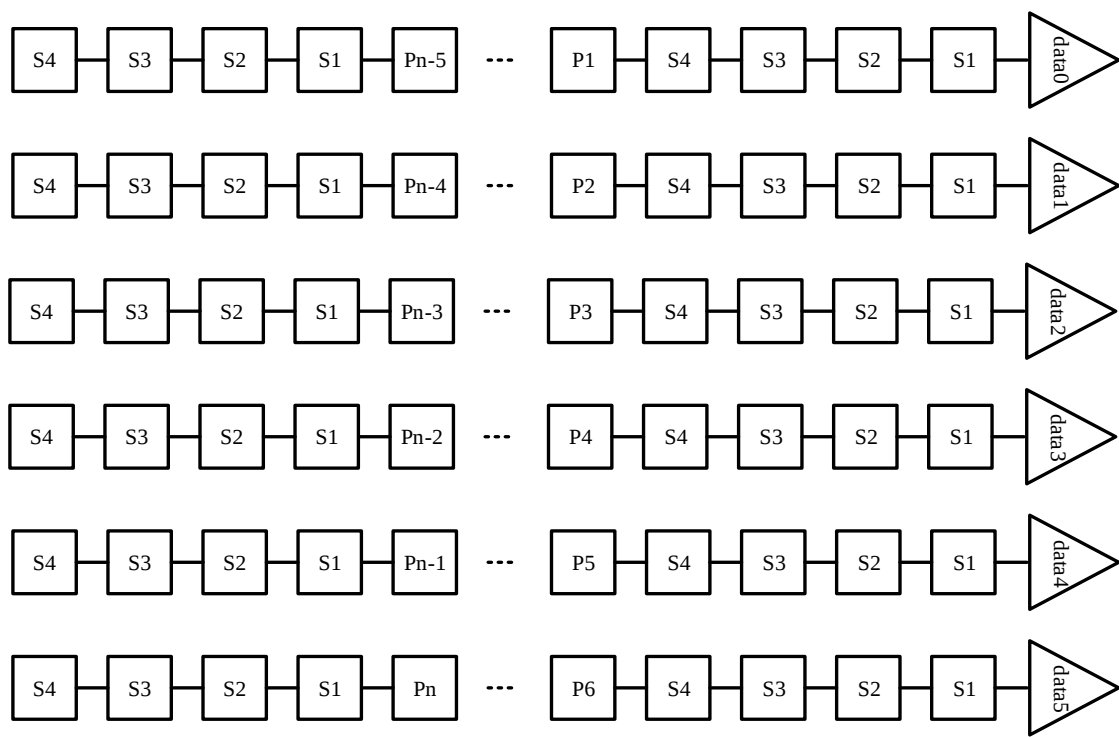


Figure 17 LVDS 传输方式

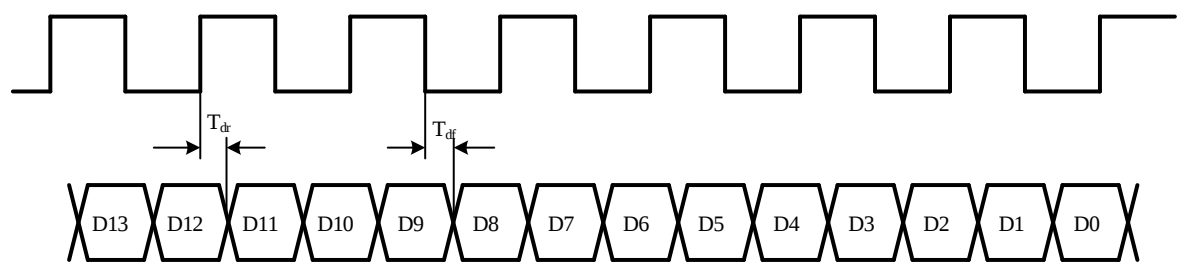


Figure 18 LVDS 单个像素 MSB 传输方式

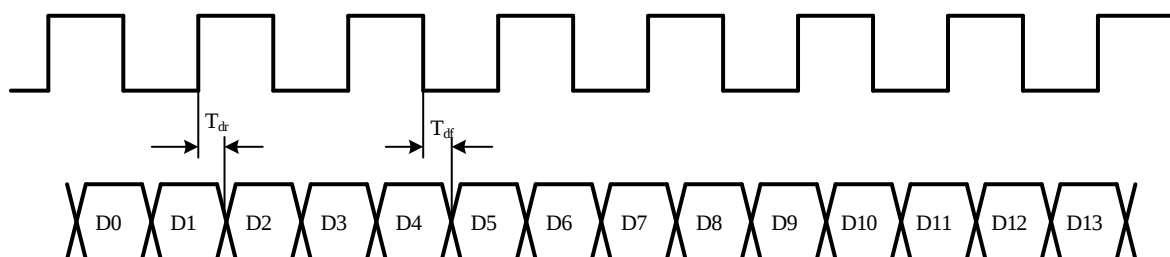


Figure 19 LVDS 单个像素 LSB 传输方式

Table 19 时序参数表

参数	描述	数值 (ns)	
		Min	Max
T_{dr}	数据相对 lvds_clk 上升沿的延时	0.15	0.5
T_{df}	数据相对 lvds_clk 下降沿的延时	0.15	0.45

Table 20 编码及 LVDS 控制寄存器

寄存器名	地址	位宽	功能
Lvds_mode	0x06d0	8	Bit[7]: reserved Bit[6]: reserved Bit[5]: big_endian control 1: MSB mode 0: LSB mode Bit[4]: lvds lane control 1: 6lane 0: 4lane Bit[0]: raw data type control 1'b0: raw12 1'b1: raw14
SOF	0x06d4	8	Long frame or SDR's SOF code
EOF	0x06d5	8	Long frame or SDR's EOF code
SOL	0x06d6	8	Long frame or SDR's SOL code
EOL	0x06d7	8	Long frame or SDR's EOL code
SOF_S	0x06d8	8	Short frame's SOF code
EOF_S	0x06d9	8	Short frame's EOF code
SOL_S	0x06da	8	Short frame's SOL's code
EOL_S	0x06db	8	Short frame's EOL's code
IO_SEL_CTRL	0x00cc	1	LVDS 或 MIP 输出选择 Bit[0]: dout IO 类型选择

			1: 输出数据为 LVDS 0: 输出数据为 MIPI
OEN_CTRL	0x00cd	6	IO 输出使能控制 Bit[6]: LVDS 或 MIPI 时钟输出使能控制 1: 高阻 0: 正常输出 Bit[5]: vsync 和 hsync 输出使能控制 1: 高阻 0: 正常输出 Bit[4]: 数据输出接口 LVDS 和 MIPI 使能 1: 数据输出接口选择 LVDS 和 MIPI 模式 Bit[3]: LVDS lane4 和 lane5 或者 dout[3:0]使能控制 1: 高阻 0: 正常输出 Bit[2]: LVDS/MIPI lane2 和 lane3 使能控制 1: 高阻 0: 正常输出 Bit[1]: LVDS/MIPI lane1 使能控制 1: 高阻 0: 正常输出 Bit[0]: LVDS/MIPI lane0 使能控制 1: 高阻 0: 正常输出

MIPI

SXY2012 提供 MIPI Camara Serial Interface 2(CSI-2) Tx 接口，支持 MIPI D-PHY 串行信号输出。有以下两个特点：

- 支持 D-PHY 1-Lane/2-Lane/4-Lane 模式。
- 支持 CSI-2 RAW8/RAW12 输出模式。

MIPI 长/短数据包结构如 Figure 20 所示，其中 DI(Data Identifier)用于表示数据包类型，DI 包括 VC(Virtual Channel)和 DT(Data Type)，如 Figure 21 所示。SXY2012 使用 VC 区分 HDR 模式中的长/短帧，如 Table 21 所示。1/2/4-Lane 传输模式分别如 Figure 24、Figure 25、Figure 26 所示。

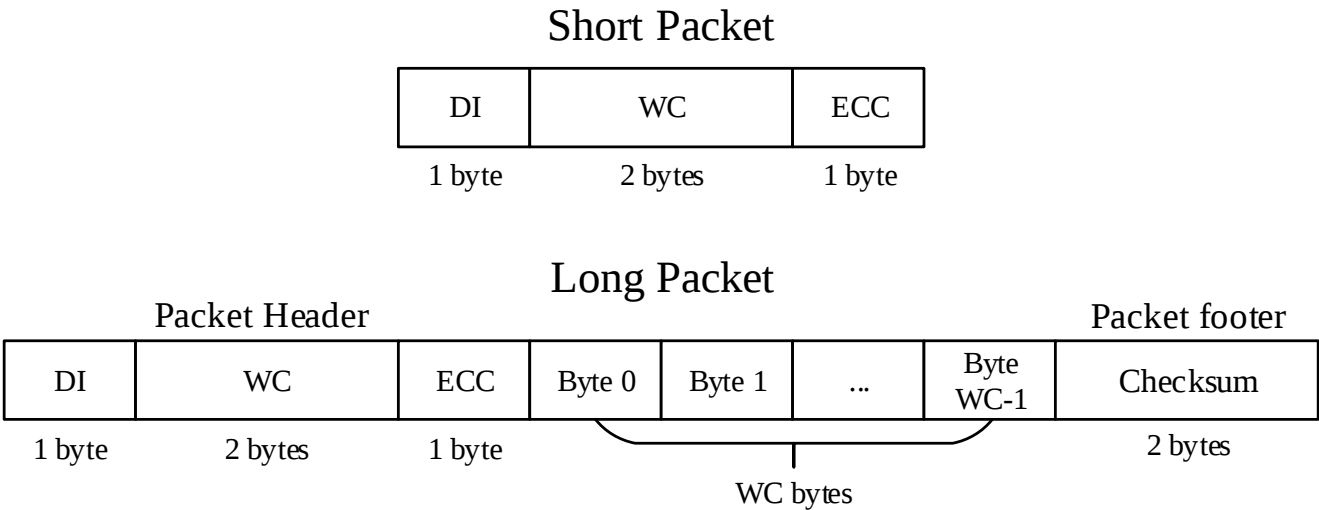


Figure 20 MIPI 长短数据包结构



Figure 21 DI 结构

Table 21 MIPI VC 定义

帧类型	VC[1:0]
长帧	0x0
短帧	0x1

RAW8 格式 Pixel 数据流以 Figure 22 所示方式打包成 Byte 数据流，1 个 Pixel 打包为 1 个 Byte。Byte 数据流从每个 Byte 的 LSB（最低有效位）开始发送，即先发送 P1 的 Bit[0]，最后发送 P1 的 Bit[7]。

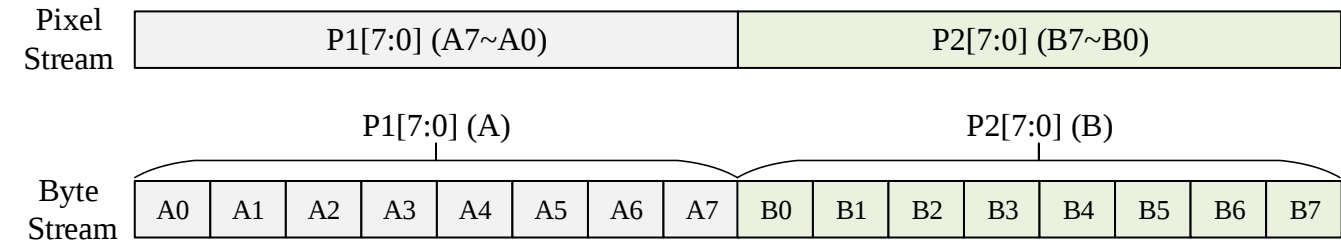


Figure 22 RAW8 格式 Pixel 数据打包方式

RAW12 格式 Pixel 数据流以 Figure 23 所示方式打包成 Byte 数据流，2 个 Pixel 打包为 3 个 Byte。先发送 P1 高 8 位 P1[11:4]，再发送 P2 高 8 位 P2[11:4]，最后发送 P1 低 4 位 P1[3:0]和 P2 低 4 位 P2[3:0]。Byte 数据流从每个 Byte 的 LSB（最低有效位）开始发送，即先发送 P1 的 Bit[4]，最后发送 P2 的 Bit[3]。

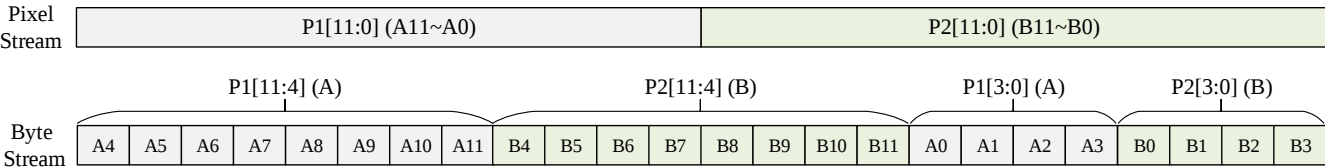


Figure 23 RAW12 格式 Pixel 数据打包方式

Byte 数据流按照 Figure 24、Figure 25 和 Figure 26 所示分配方式在 1、2 或 4 条 Lane 上发送。

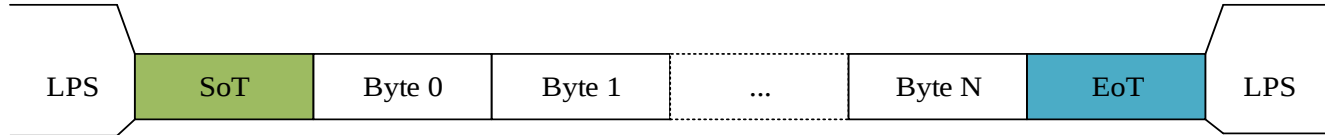


Figure 24 MIPI 1-LANE 模式

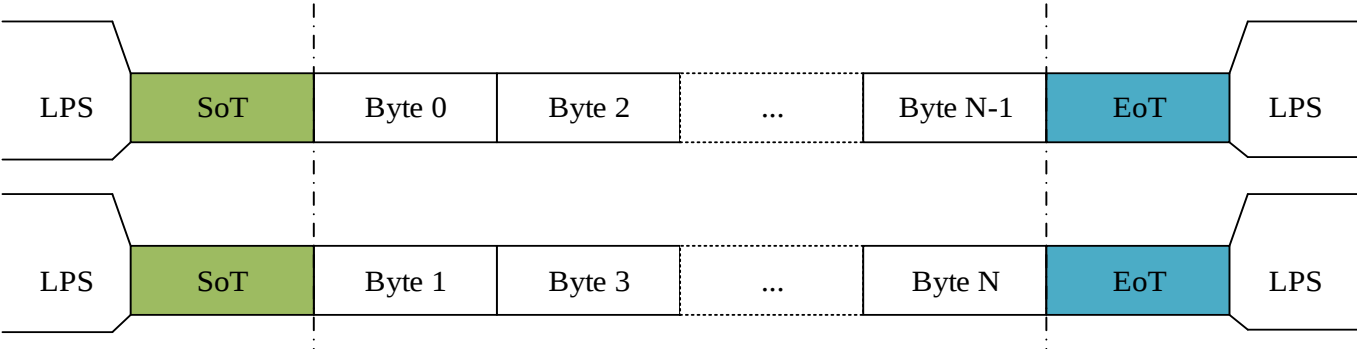


Figure 25 MIPI 2-LANE 模式

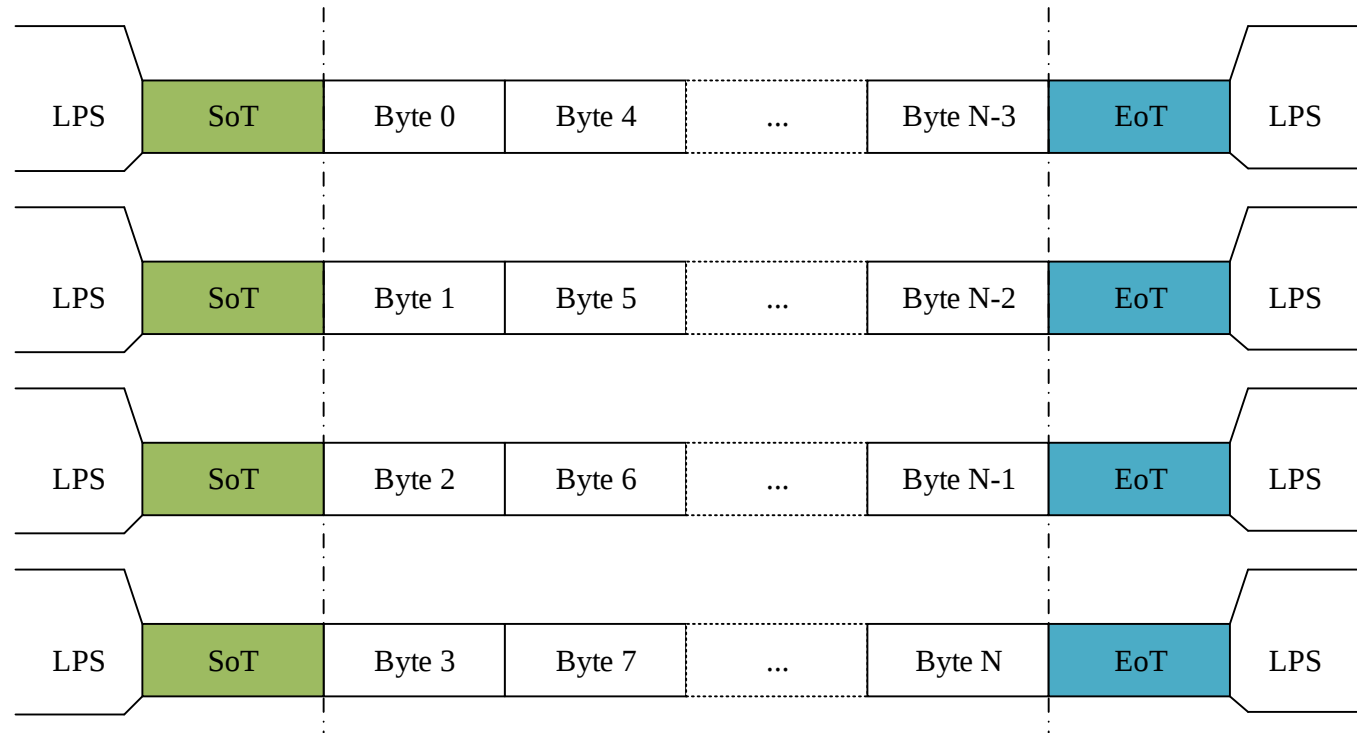


Figure 26 MIPI 4-LANE 模式

Table 22 MIPI 控制寄存器

寄存器名	地址	位宽	功能
IO_SEL_CTRL L	0x00cc	1	LVDS 输出选择 Bit[0]: dout IO 类型选择 1: 输出数据为 LVDS 0: 输出数据为 MIPI
OEN_CTRL	0x00cd	6	IO 输出使能控制 Bit[6]: LVDS 或 MIPI 时钟输出使能控制 1: 高阻 0: 正常输出 Bit[5]: vsync 和 hsync 输出使能控制 1: 高阻 0: 正常输出 Bit[4]: 数据输出接口 LVDS 和 MIPI 使能 1: 数据输出接口选择 LVDS 和 MIPI 模式 Bit[3]: LVDS lane4 和 lane5 或者 dout[3:0]使能控制 1: 高阻 0: 正常输出 Bit[2]: LVDS/MIPI lane2 和 lane3 使能控制 1: 高阻 0: 正常输出 Bit[1]: LVDS/MIPI lane1 使能控制 1: 高阻 0: 正常输出 Bit[0]: LVDS/MIPI lane0 使能控制 1: 高阻 0: 正常输出
MIPI_CTRL	0x0300	6	Bit[5:1]: Reserved Bit[0]: mipi module enable control 1'b0: Enable 1'b1: Disable
MIPI_FORM AT_CTRL	0x0301	6	Bit[5:4]: reserved Bit[3:2]: MIPI lane control 2'b00: 1-Lane mode 2'b01: 2-Lane mode 2'b10: 4-Lane mode Bit[0]: MIPI data format control

			1'b0: RAW8 1'b1: RAW12
MIPI_DPHY_CTRL	0x0380	6	Bit[5:1]: Reserved Bit[0]: mipi clock continuous enable 1'b0: non-continuous mode 1'b1: continuous mode
ISPC	0x00fa	7	Bit[6]: mipi_en,1-mipi enable,0-disable Bit[5:0]: Reserved

其他

量子效率曲线

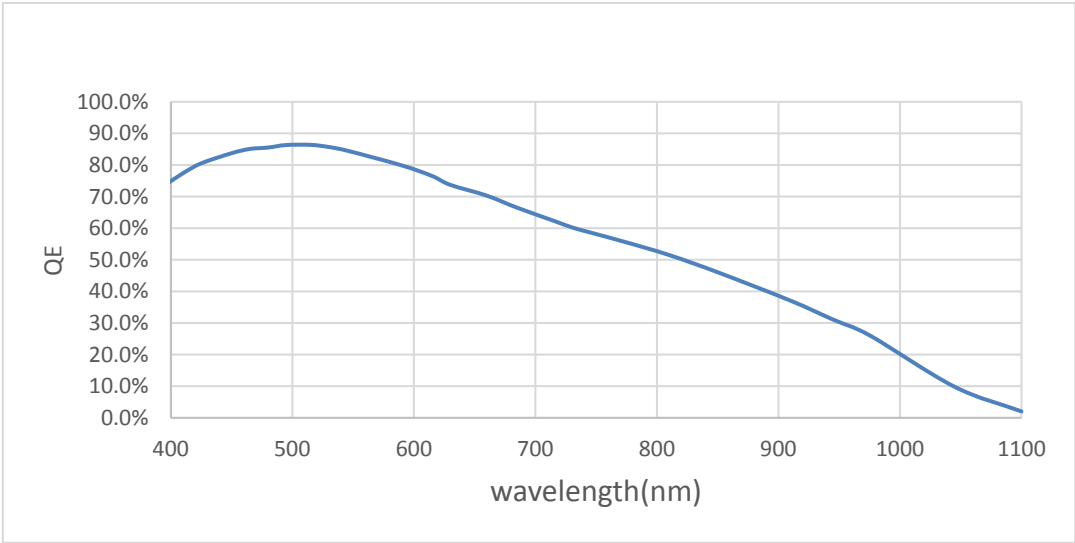


Figure 27 量子效率曲线

IO 驱动能力调节

SXY2012 内建 IO 驱动能力的调节，用于适应 Sensor 端不同负载的应用环境。具体的请见 Table 23。

Table 23 调节驱动能力寄存器

寄存器名	地址	位宽	功能
IO_DRV_CTRL2	0x00cb	7	Bit[6:4]: hsync, vsync 驱动能力调节 Bit[3:0]: dout 驱动能力调节
IO_DRV_CTRL1	0x00ca	8	Bit[7]: lvds_vcm_sel, LVDS 幅度控制 Bit[6:4]: LVDS 驱动能力调节 Bit[2:0]:Pclk 驱动能力调节

Pixel Clock 相位调节

Table 24 调节 Pclk 的相位

寄存器名	地址	位宽	功能
PCLK_DLY	0x00b2	4	Bit[3:0]pclk 的相位调节

芯片电源上电顺序

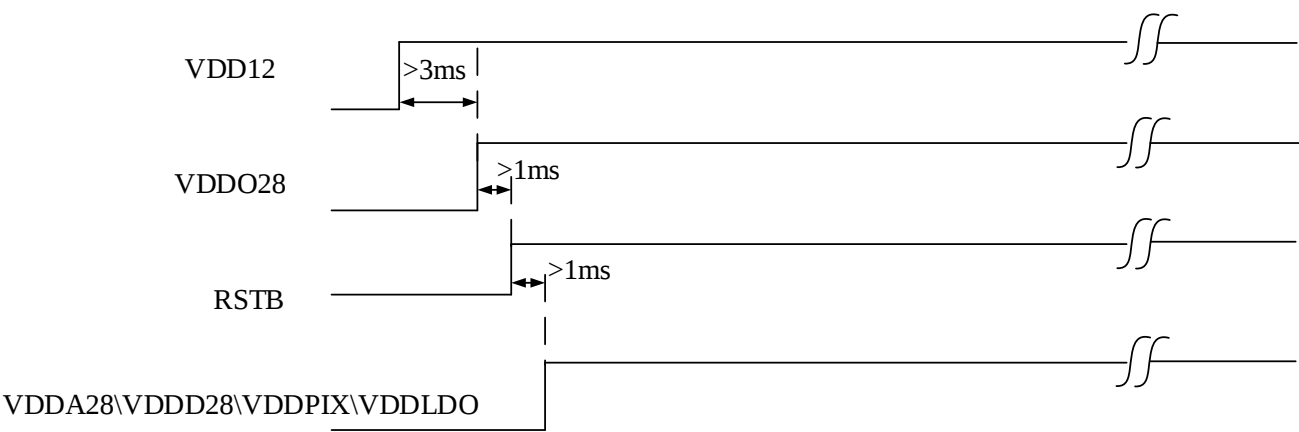


Figure 28 芯片上电顺序图