

芯片使用注意事项：

芯片有多组电源，其中 VDDD/VDDO/VDD 属于数字电源，VDDA/VDDPIX/VRST/VDDLDO 属于模拟电源。模拟电源走线部分需要特别注意，附近不能有数字电源和数字信号，以免受到干扰。其中 VDDLDO 为芯片内部 LDO 的供电电源，如果需要使用内部 LDO 产生 VDDPIX 和 VRST，那么 VDDLDO 需要提供 3.3V~3.6V。如果不需要使用内部 LDO，那么 VDDLDO/VDDPIX/VRST 可以与 VDDA 使用相同的电源。

电源线和地线要尽量宽些，一般情况电源线 20mil 以上，如果走很长的电源线，就需要达到 30mil-40mil。模拟电源走线或铺铜周围尽量有 GND 进行隔离。如果是多层板，内层有独立的电源层，建议对各个电源网络进行小范围的铺铜，然后在电源层空余的区域铺上地。模拟电源铺铜和数字电源铺铜间距尽量大于 20mil，最好是在二者之间有 GND 隔开。

地线一般采用统一铺铜方式，在 TOP 层和 BOTTOM 层空余的地方都铺上地的铜，有助于减少串扰。

LVDS 都要走差分线，差分阻抗 100R。长度尽量等长，P 和 N 误差应该小于 10mil，数据线间长度差小于 20mil。

图像传感器是温度敏感器件，因此需要注意整机的散热控制，LDO 或 DC-DC、DSP 芯片应该放置在离 sensor 较远的地方，以防电源芯片过热干扰图像信号。sensor 周围和底部不要放置发热器件（比如 DCDC，LDO、DSP 等）。建议使用多层板，利用电源层和地层来尽快扩散 sensor 热量。

VDDPIX、VRST 的电压由芯片内部 LDO 提供，典型输出电压为 3.1V 左右。

芯片的 1.2V 电源 PIN 脚存在抗 ESD 能力较弱的缺陷，因此需要设计时对低压电源进行 ESD 加固。

SXY1309 1 inch CMOS 图像传感器应用手册

简介

SXY1309 是一款高性能的 1 inch CMOS 图像传感器。
有效像素为 1445(H)×1159(V), 9.7um×9.7um 的像素
具有高灵敏度和高动态范围。

特点

- 支持 4/6 对 LVDS 数据接口
- 单帧和多帧的触发曝光操作
- 最高 120fps @line mode, 60 帧@HDR mode
- ADC 量化精度最高 12bit

应用

- 高端监控

关键参数

Table 1 关键参数

参数		典型值
光学尺寸		1 inch
有效像素阵列		1445H×1159V
像素大小		9.7um × 9.7um
有效感光面积		14016um×11242um
最高帧率		120fps@line mode 60fps@HDR mode
光滤阵列		BW
CRA		0°
曝光方式		Rolling Shutter
灵敏度		220V/lux.s (678158e-/lux.s)
暗电流@60° C		20mV/s (62e-/s)
信噪比(max)		53dB
动态范围	非 HDR	74dB
	HDR	110dB
输出接口		LVDS
供电	Digital	1.08V ~ 1.32V
	IO	1.8 ~ 3.3V
	Analog	3.0 ~ 3.6V(typical 3.3V)
	Pixel(VDDLDO)	3.3V
功耗		450mW@60fps
工作温度范围		-40 ~ 65 ° C
封装形式		CLCC

Table of Content

简介	2
特点	2
应用	2
关键参数.....	2
印刷电路板设计指导.....	6
封装图.....	6
管脚定义.....	8
应用电路图.....	13
供电设计.....	13
PCB 注意事项	14
寄存器控制总线.....	14
I2C 总线.....	14
影子寄存器更新.....	15
光学设计.....	16
成像方向.....	16
镜像功能.....	16
调节幅面与帧率.....	17
像素阵列排布.....	17
时钟的计算.....	17
时钟的定义.....	17
PLL 控制	18
系统主时钟控制.....	18
调整幅面.....	19
调整帧率.....	19
外部触发模式.....	20
调节曝光与增益.....	21
调节曝光.....	21
调节增益.....	22
调节增益策略.....	23
HDR	23
LVDS	24
其他	28
IO 驱动能力调节	28
Pixel Clock 相位调节	28
芯片电源上电顺序.....	28
量子效率曲线.....	28

List of Figures

Figure 1 封装图 (top view)	6
Figure 2 封装图 (bottom view)	7
Figure 3 封装图 (side view)	8
Figure 4 Pin 脚分布图	9
Figure 5 接口推荐电路图	13
Figure 6 I2C 写操作	15
Figure 7 I2C 读操作	15
Figure 8 光学成像示意	16
Figure 9 镜像功能示意	16
Figure 10 像素阵列排布示意图	17
Figure 11 PLL 框图	18
Figure 12 输出波形与帧率计算	19
Figure 13 外部触发模式二	21
Figure 14 外部触发模式三	21
Figure 15 lofic-HDR 数据流示意图	24
Figure 16 LVDS 同步方式	24
Figure 17 LVDS 同步码格式	25
Figure 18 LVDS 传输方式	25
Figure 19 LVDS 单个像素 MSB 传输方式	26
Figure 20 LVDS 单个像素 LSB 传输方式	26
Figure 21 芯片上电与下电顺序	28
Figure 22 QE	28

List of Tables

Table 1 关键参数.....	2
Table 2 管脚描述.....	9
Table 3 电源需求.....	13
Table 4 影子寄存器更新控制	15
Table 5 镜像控制寄存器.....	16
Table 6 时钟定义.....	17
Table 7 PLL 控制寄存器.....	18
Table 8 PLL VCO 频率设置对应表.....	18
Table 9 系统主时钟控制	19
Table 10 控制输出幅面寄存器	19
Table 11 帧率控制寄存器	20
Table 12 外部触发控制寄存器	20
Table 13 曝光控制寄存器.....	22
Table 14 CG 增益控制寄存器	22
Table 15 PGA 增益控制寄存器.....	22
Table 16 ramp 增益控制寄存器.....	23
Table 17 HDR 控制寄存器	23
Table 18 时序参数表	26
Table 19 编码及 LVDS 控制寄存器	26
Table 20 调节驱动能力寄存器	28
Table 21 调节 Pclk 的相位.....	28

印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1、Figure 2 和 Figure 3 为 SXY1309 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，具体请参照 Top View 图。

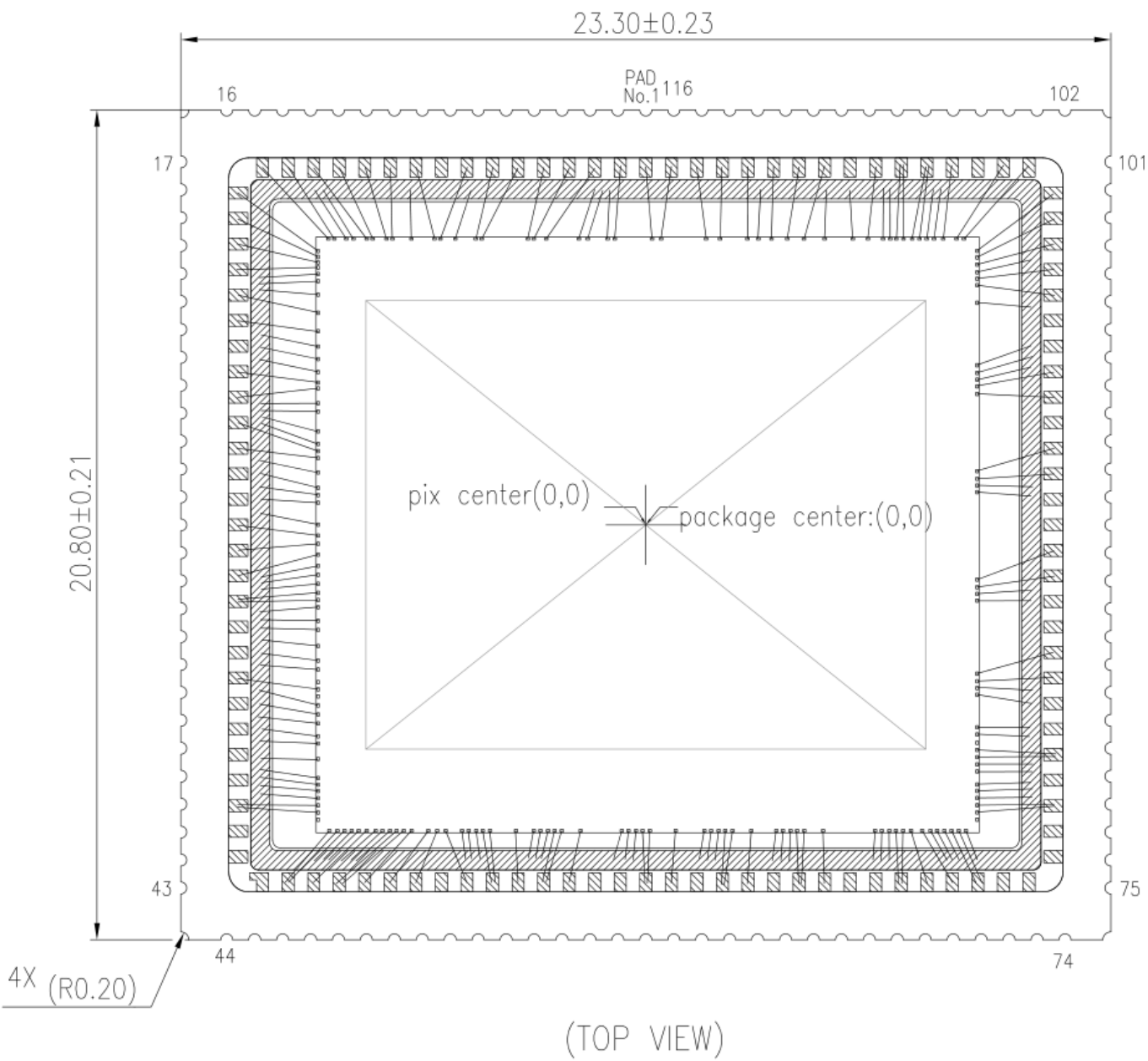


Figure 1 封装图 (top view)

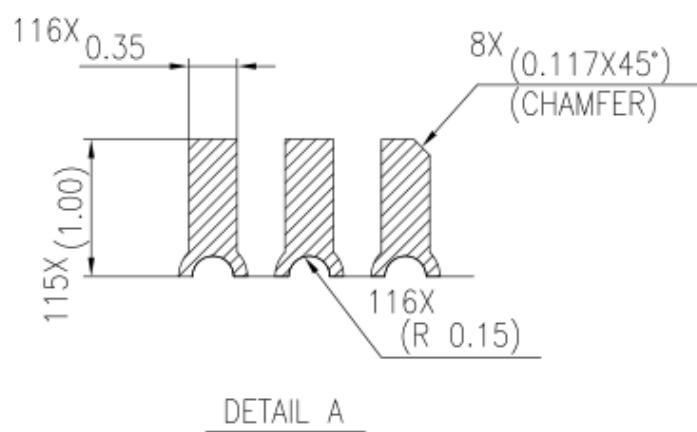
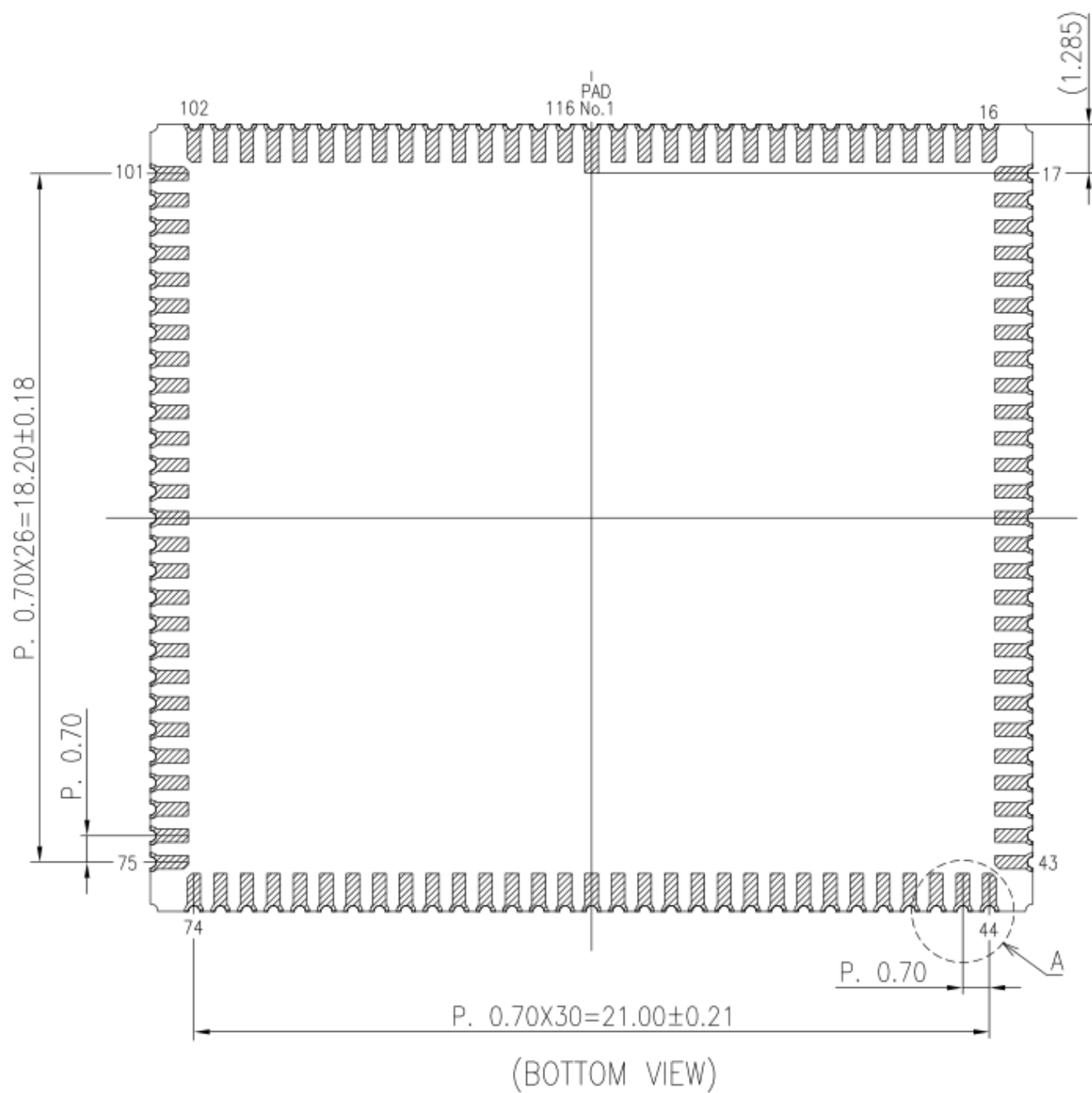
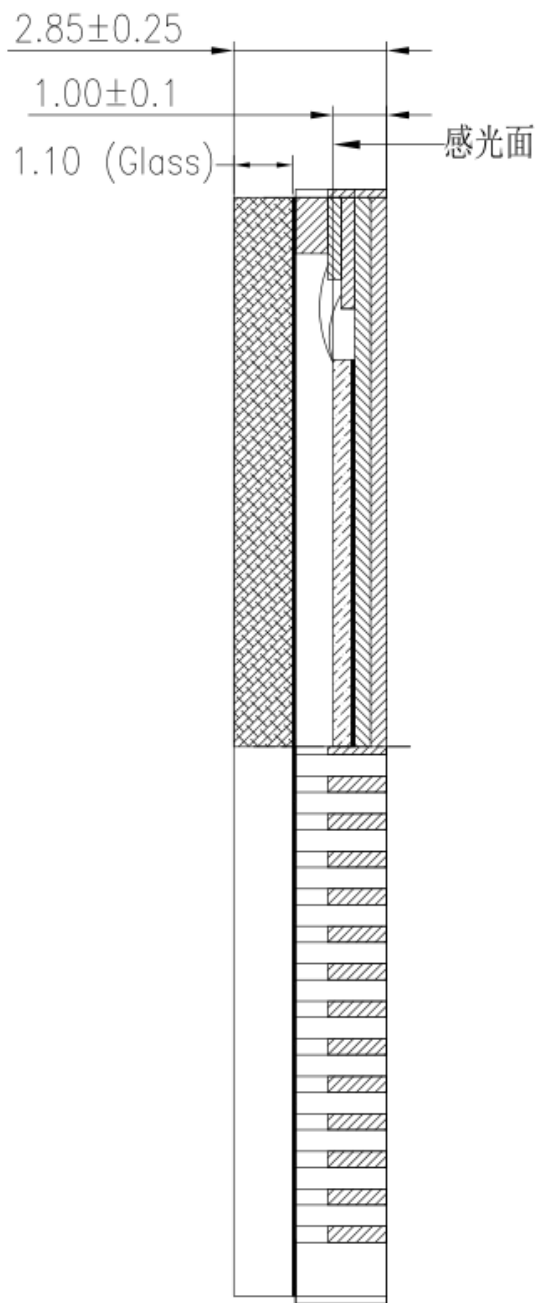


Figure 2 封装图 (bottom view)



玻璃折射率1.52

(SIDE VIEW)

Figure 3 封装图 (side view)

管脚定义

Figure 4 为 Top View 下的 Pin 脚分布图。可以与 Figure 1 进行参照。Table 2 为 Pin 脚的具体说明。

11	DOUTN_3	O	D	LVDS data3 N port
12	DOUTP_3	O	D	LVDS data3 P port
13	DOUTN_2	O	D	LVDS data2 N port
14	DOUTP_2	O	D	LVDS data2 P port
15	DOUTN_1	O	D	LVDS data1 N port
16	DOUTP_1	O	D	LVDS data1 P port
17	DOUTN_0	O	D	LVDS data0 N port
18	DOUTP_0	O	D	LVDS data0 P port
19	NC	-	-	NC
20	VDD	-	P	1.2V digital power
21	VDDPIX	-	P	Pixel power input or internal LDO output
22	VDDLDO		P	Power of internal LDO
23	GND	-	G	Ground
24	VDDLDO		P	Power of internal LDO
25	VRST	-	P	Pixel power input or internal LDO output
26	VDDA	-	P	3.3V analog power
27	VDDA	-	P	3.3V analog power
28	NC	-	-	NC
29	NC	-	-	NC
30	VDD	-	P	1.2V digital power
31	VDDA	-	P	3.3V analog power
32	VDDD	-	P	3.3v digital power
33	VDDA	-	P	3.3V analog power
34	NC	-	-	NC
35	NC	-	-	NC
36	VDDA	-	P	3.3V analog power
37	GND	-	G	Ground
38	NC	-	-	NC
39	NC	-	-	NC
40	NC	-	-	NC
41	VDDA	-	P	3.3V analog power
42	NC	-	-	NC
43	NC	-	-	NC
44	NC	-	-	NC
45	VDDA	-	P	3.3V analog power
46	VDD	-	P	1.2V digital power

47	VDD	-	P	1.2V digital power
48	VDDO	-	P	IO power
49	TRIG	I	D	外部触发控制信号
50	STDBY	I	D	Standby 高电平芯片进入待机模式，待机电流小于 1mA@27℃
51	GND	-	G	Ground
52	RSTB	I	D	rstb
53	VDD	-	P	1.2V digital power
54	VDDO	-	P	IO power
55	VDD	-	P	1.2V digital power
56	VDDO	-	P	IO power
57	NC	-	-	NC
58	NC	-	-	NC
59	VDD	-	P	1.2V digital power
60	VDDO	-	P	IO power
61	NC	-	-	NC
62	VDD	-	P	1.2V digital power
63	VDDO	-	P	IO power
64	NC	-	-	-
65	VDD	-	P	1.2V digital power
66	VDDO	-	P	IO power
67	GND	-	G	Ground
68	NC	-	-	-
69	VDD	-	P	1.2V digital power
70	VDDO	-	P	IO power
71	VDD	-	P	1.2V digital power
72	VDDA	-	P	3.3V analog power
73	NC	-	-	-
74	NC	-	-	-
75	NC	-	-	-
76	NC	-	-	-
77	VDDA	-	P	3.3V analog power
78	NC	-	-	-
79	VDD	-	P	1.2V digital power
80	NC	-	-	-
81	GND	-	G	Ground

82	VDD	-	P	1.2V digital power
83	VDDD	-	P	3.3v digital power
84	NC	-	-	-
85	NC	-	-	-
86	VDD	-	P	1.2V digital power
87	VDDD	-	P	3.3v digital power
88	NC	-	-	-
89	NC	-	-	-
90	VDD	-	P	1.2V digital power
91	VDDD	-	P	3.3v digital power
92	NC	-	-	-
93	VDDD	-	P	3.3v digital power
94	VDD	-	P	1.2V digital power
95	GND	-	G	Ground
96	NC	-	-	-
97	VRST	-	P	Pixel power input or internal LDO output
98	VDDPIX	-	P	Pixel power input or internal LDO output
99	VNEG_AB	O	A	Negative Charge pump output
100	VNEG_TX	O	A	Negative Charge pump output
101	VNEG_SS1	O	A	Ground of SS1 control
102	VPUMP_SS1	O	A	Charge pump output
103	VPUMP_RST	O	A	Charge pump output
104	NC	-	-	-
105	VPUMP_TX	O	A	Charge pump output
106	VDDD	-	P	3.3v digital power
107	VDD	-	P	1.2V digital power
108	VDD	-	P	1.2V digital power
109	GND	-	G	Ground
110	CLKIN	I	D	Clock input
111	VDDO	-	P	IO power
112	SCL	I	D	I2C
113	SDA	I	D	I2C
114	VSYNC	O	D	VSYNC
115	HSYNC	O	D	HSYNC
116	DOUT13	-	-	-

(P=Power, G=Ground, D=Digital, A=Analog)

应用电路图

推荐应用电路图请见 Figure 5。

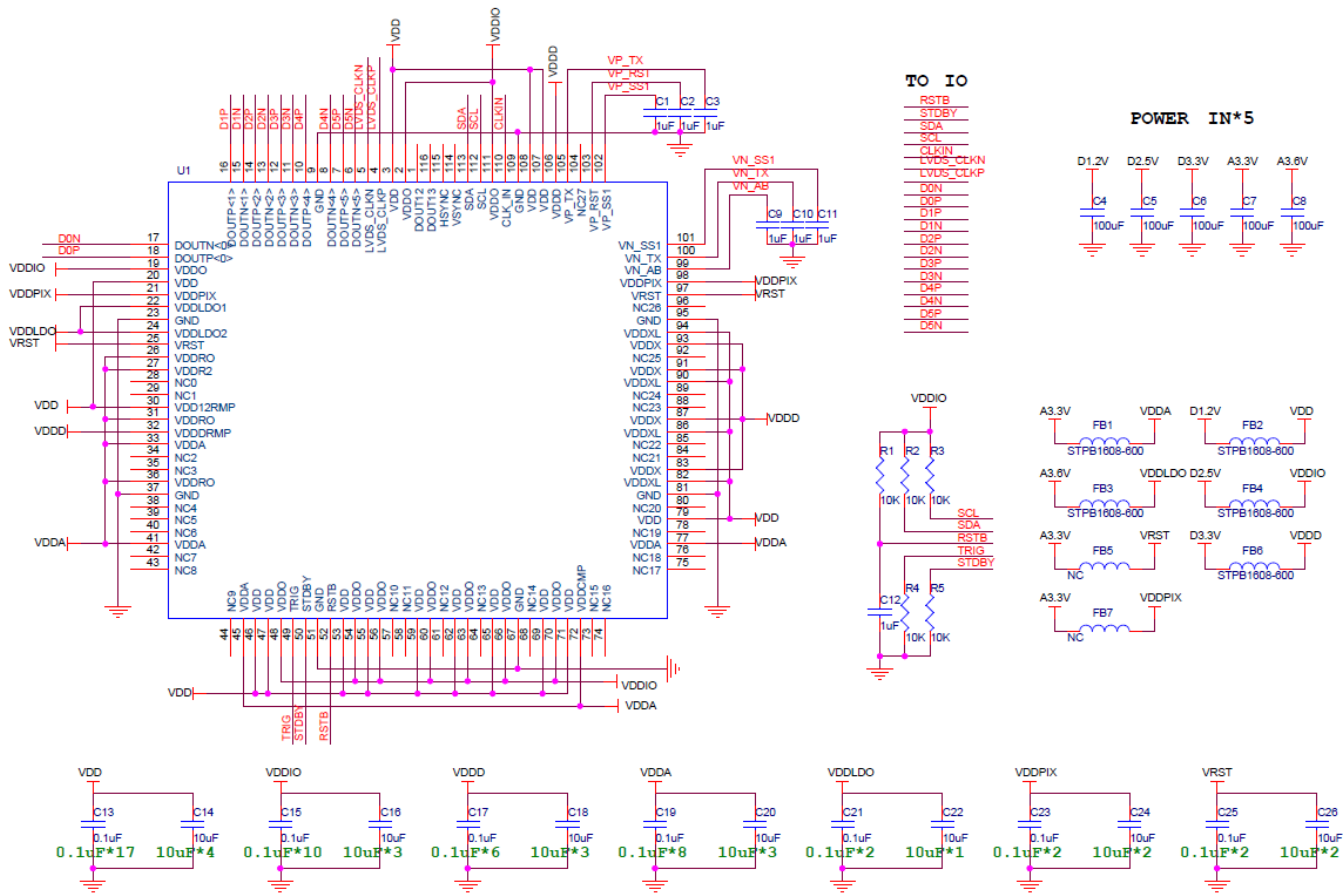


Figure 5 接口推荐电路图

供电设计

各组电源功耗与外接电容需求见 Table 3。

Table 3 电源需求

序号	电源	标准电压	消耗电流(上限)	外接小电容需求
1	VDDD	3.3V	10mA	0.1uF x 6 10uF x 3
2	VDD	1.2V	100mA	0.1uF x 17 10uF x 4
3	VDDO	1.8V-3.3V	30mA	0.1uF x 10 10uF x 3
4	VDDA	3.3V	60mA	0.1uF x 8 10uF x 3
5	VDDPIX	3.0V	50mA	0.1uF x 2 10uF x 2
6	VRST	3.0V	50mA	0.1uF x 2 10uF x 2
7	VDDLDO	3.3V	100mA	0.1uF x 2 10uF x 1

注：VDDPIX 和 VRST 可由内部 LDO 产生 3.0V 供电电源（输入电源为 VDDLDO）。0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF/22uF 的大电容。10uF/22uF 电容放在 Sensor 周围即可，所有的 GND 都接在一起，使用统一地。

PCB 注意事项

芯片有多组电源，其中 VDDD/VDDO/VDD 属于数字电源，VDDA/VDDPIX/VRST/VDDLDO 属于模拟电源。模拟电源走线部分需要特别注意，附近不能有数字电源和数字信号，以免受到干扰。其中 VDDLDO 为芯片内部 LDO 的供电电源，如果需要使用内部 LDO 产生 VDDPIX 和 VRST，那么 VDDLDO 需要提供 3.3V~3.6V。如果不需要使用内部 LDO，那么 VDDLDO/VDDPIX/VRST 可以与 VDDA 使用相同的电源。

电源线和地线要尽量宽些，一般情况电源线 20mil 以上，如果走很长的电源线，就需要达到 30mil-40mil。模拟电源走线或铺铜周围尽量有 GND 进行隔离。如果是多层板，内层有独立的电源层，建议对各个电源网络进行小范围的铺铜，然后在电源层空余的区域铺上地。模拟电源铺铜和数字电源铺铜间距尽量大于 20mil，最好是在二者之间有 GND 隔开。

地线一般采用统一铺铜方式，在 TOP 层和 BOTTOM 层空余的地方都铺上地的铜，有助于减少串扰。

LVDS 都要走差分线，差分阻抗 100R。长度尽量等长，P 和 N 误差应该小于 10mil，数据线间长度差小于 20mil。

图像传感器是温度敏感器件，因此需要注意整机的散热控制，LDO 或 DC-DC、DSP 芯片应该放置在离 sensor 较远的地方，以防电源芯片过热干扰图像信号。sensor 周围和底部不要放置发热器件（比如 DCDC，LDO、DSP 等）。建议使用多层板，利用电源层和地层来尽快扩散 sensor 热量。

寄存器控制总线

I2C 总线

SXY1309 通过 I2C 总线对外通信，对应的端口为 SDA 和 SCL。从机读地址为 0x65，从机写地址为 0x64。总线采用 16 位的地址，8 位数据的组织方式。

如 Figure 6 所示为：向地址 0x012c 中写入数据 0x56，DSP 为主机，SXY1309 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 数据；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“STOP”信号。

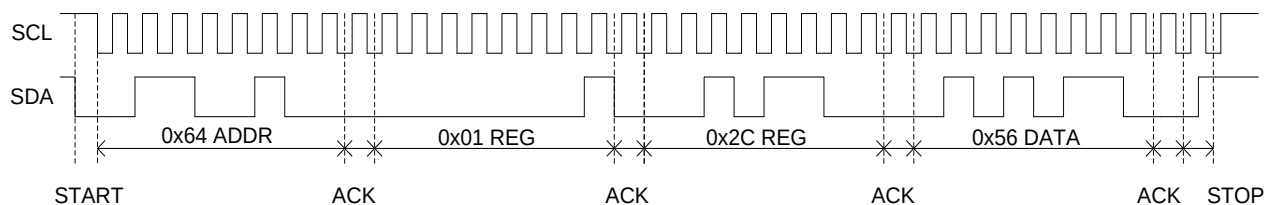


Figure 6 I2C 写操作

如 Figure 7 所示为：从 0x012c 寄存器中读出数据 0x56。DSP 为主机，SXY1309 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“START”信号；
- 主机向从机发送读模式地址 0x65；
- 从机向主机发送“ACK”信号；
- 从机向主机发送 8-bit 数据；
- 等待 1 个 SCLK；
- 主机向从机发送“STOP”信号。

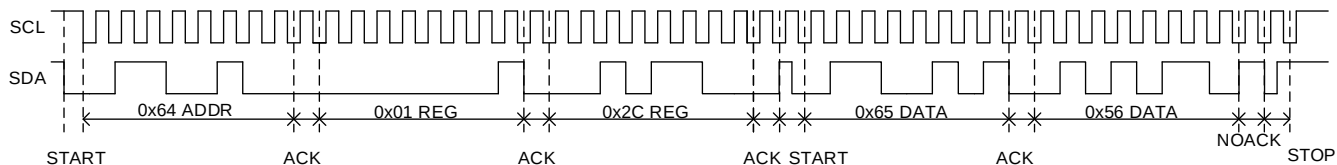


Figure 7 I2C 读操作

影子寄存器更新

SXY1309 内部部分特殊的寄存器采用了影子寄存器。也就是说这部分寄存器在经由 I2C 写入之后不会立即自动更新，而是需要特殊的操作后才会更新。需要“更新”操作的寄存器后面会特殊说明。

Table 4 影子寄存器更新控制

寄存器名	地址	位宽	功能
寄存器更新 控制	0x001d	2	Bit[1:0]: 0x01: 立即生效影子寄存器，并立即中断当前帧，重新开始下一帧。 0x02: 写入后，影子寄存器将在下一个有效帧开始时生效。

光学设计

成像方向

SXY1309 的 (0, 0) 像素在 Figure 1 封装图 101PIN 脚的一侧。默认水平读出方向为 101 PIN 向 16PIN 方向扫描，默认垂直读出方向为 101PIN 向 74PIN 方向扫描。

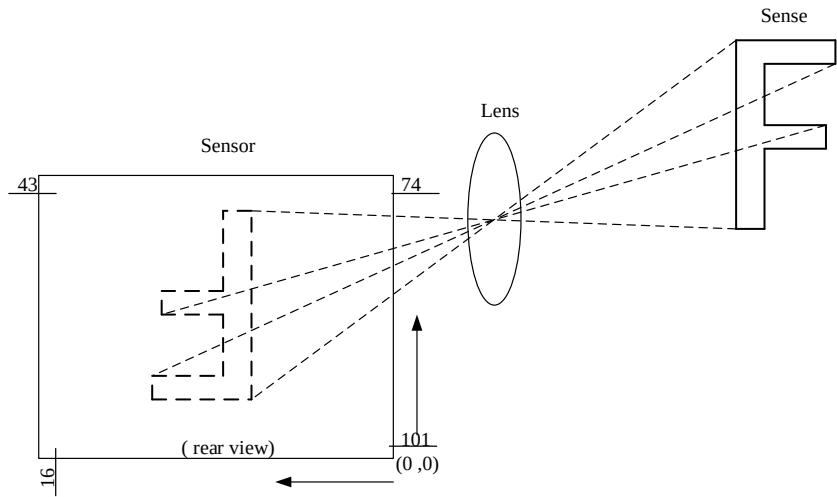


Figure 8 光学成像示意

镜像功能

SXY1309 内部实现的图像的水平镜像和垂直镜像功能。具体的镜像对应如 Figure 9。需要特别注意的是，镜像后输出顺序与 color filter 顺序可能发生变化。因此镜像后可能需要调整对应的 Color Filter Pattern。具体的调整办法请见《调整帧率和幅面》一节。

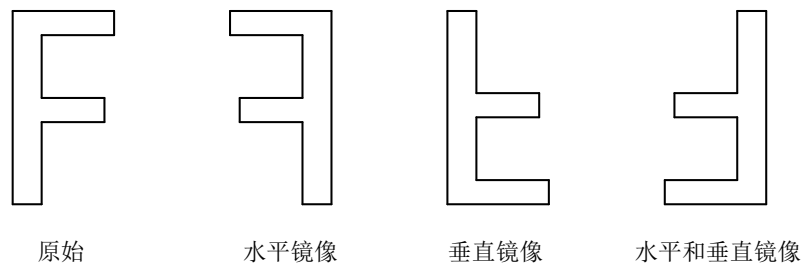


Figure 9 镜像功能示意

镜像功能对应的寄存器为 0x0020 的低两位：请注意不要随意变更该寄存器的其他数据位的数值。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 5 镜像控制寄存器

寄存器名	地址	位宽	功能
读出控制	0x0020	8	Bit[7:2] Reserved Bit[1] 水平镜像控制 Bit[0] 垂直镜像控制

调节幅面与帧率

像素阵列排布

SXY1309 的有效像素阵列大小为 1445H×1159V，具体的排布情况请见 Figure 10。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

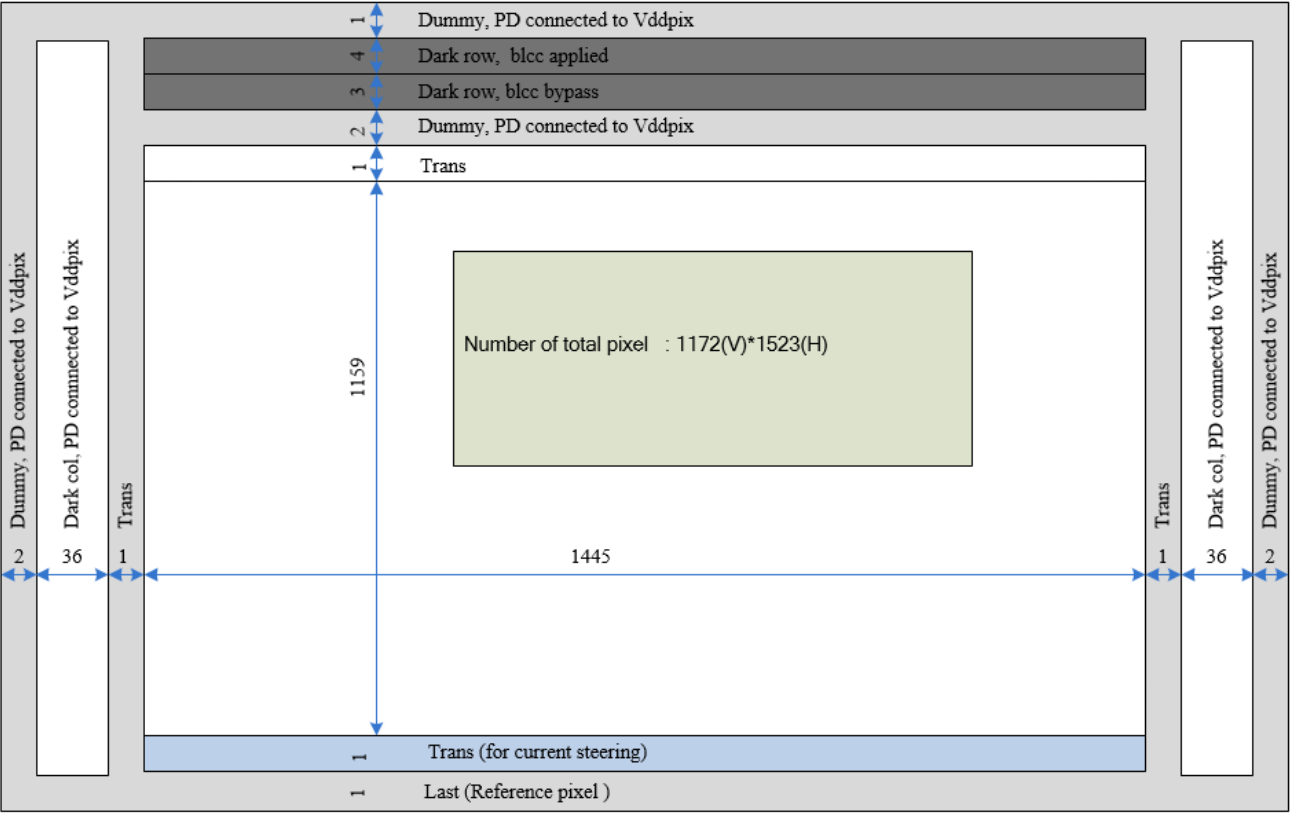


Figure 10 像素阵列排布示意图

时钟的计算

时钟的定义

Table 6 时钟定义

名称	符号	描述	计算办法
外部输入时钟	Clkin	芯片外部接入时钟	-
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素输出时钟	Pclk	芯片输出像素时钟	见《PLL 控制》章节

PLL 控制

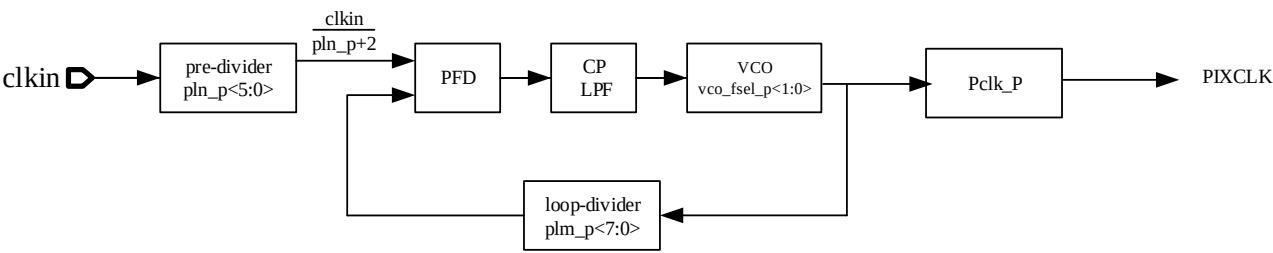


Figure 11 PLL 框图

输出 pixclk 与 clk_in 的频率对应关系为：

$$f_{pixclk} = \frac{(plm + 2) * f_{clk_in}}{(pln + 2)} * \frac{1}{2^{Pclk_P}}$$

PLL 对应的控制寄存器如 Table 7 所示。

Table 7 PLL 控制寄存器

寄存器名	地址	位宽	功能
PLM	0x0031	8	plm
PLN	0x0032	4	pln
PLLCOMC_PCLK	0x0030	7	Bit[6:2] Reserved Bit[1:0] plk_p
PLLCTRL2	0x002f	8	Bit[7:6]Reserved Bit[5:4] vco_freq_sel Bit[3:0] Reserved

当调节 vco 振荡频率时，需要设置 PLLCTRL_PCLK 中的 vco_freq_sel。vco 频率的计算公式为：

$$F_{vco} = F_{clk_in} * (plm_p + 2)/(pln_p + 2)$$

根据 Table 8 来设置 vco_freq_sel。

Table 8 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	vco 频率范围
00 B	100M ~ 200M
01 B	200M ~ 270M
10 B	270M ~ 360M
11 B	360M ~ 500M

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin(外部输入时钟)，或 Pclk(像素输出时钟)的倍频。

Table 9 系统主时钟控制

寄存器名	地址	位宽	功能
MCLK_CTRL	0x0017	8	Bit[7:4] mclkc Bit[1] reserved Bit[0] mclk 选择: 1: 选择 clkin, 使 mclk 等于 clkin; 0: 选择 mclk 等于 pclk 的分频, 即 $F_{mclk} = F_{pclk}/(mclkc+1)$ 。F 表示对应时钟的频率。

调整幅面

决定 SXY1309 输出图像大小的寄存器为 HSIZE（宽度）和 VSIZE（高度）。控制读出开始位置的寄存器为 HSTART（水平开始），VSTART（垂直开始），这些寄存器的地址见 Table 10。HSIZE 的默认值为 0x500，VSIZE 的默认值为 0x400，默认输出的图像大小为 1280Hx1024V。**HSIZE，VSIZE，HSTART 和 VSTART 调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。**

Table 10 控制输出幅面寄存器

寄存器名	地址	位宽	功能
HSIZE	0x0006, 0x0007	11	水平尺寸
VSIZE	0x0008, 0x0009	11	垂直尺寸
HSTART	0x0002, 0x0003	11	水平开始位置
VSTART	0x0004, 0x0005	11	垂直开始位置

调整帧率

SXY1309 输出同步信号的波形见 Figure 12。

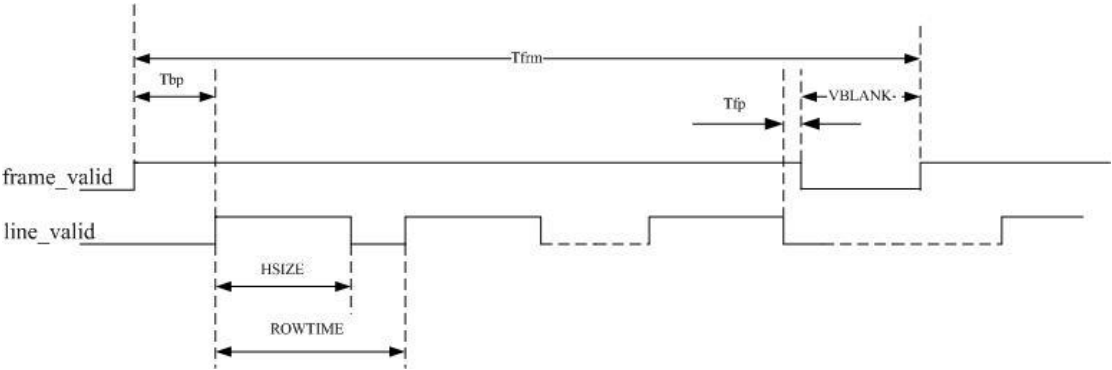


Figure 12 输出波形与帧率计算

在 Figure 12 中，Tfrm 为帧时间。Tbp 称为后廊，指帧同步信号有效后到第一行图像数据的时间间隔。Tfp 称为前廊，指最后一行有效数据输出完毕后到帧同步信号无效的时间间隔。TFRM 和 ROWTIME 为 SXY1309 的寄存器名称。他们的关系为：

$$T_{frm} = TFRM * ROWTIME * Tmclk$$

$$T_{bp} + T_{fp} = 6 * ROWTIME * Tmclk$$

$$VBLANK = (TFRM - VSIZE - 9) * ROWTIME * Tmclk$$

决定 SXY1309 输出帧率的寄存器为 ROWTIME（行时间）和 TFRM，这些寄存器的地址见 Table 11。

Table 11 帧率控制寄存器

寄存器名	地址	位宽	功能
ROWTIME_H	0x000e	8	以主输入内部主时钟为单位的行时间控制寄存器，高[15:8]位。
ROWTIME_L	0x000f	8	以主输入内部主时钟为单位的行时间控制寄存器，低[7:0]位。
TFRM_H	0x0010	8	以行时间为单位的，帧时间控制寄存器,高[15:8]位。
TFRM_L	0x0011	8	以行时间为单位的，帧时间控制寄存器，低[7:0]位。

ROWTIME 的默认值为 0x0d30（十进制为 3376），TFRM 的默认值为 0x042a（十进制为 1066），按照上面计算公式，得到帧时间为：

$$T_{frm} = 3376 * 1066 * Tmclk$$

ROWTIME 和 TFRM 寄存器调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。

外部触发模式

SXY1309 芯片的外部触发由 TRIG 管脚信号进行控制，芯片内部的外部触发控制寄存器如 Table 12 所示：

Table 12 外部触发控制寄存器

TRIGCTRL	[5:0]	16'h0028	触发模式控制： Bit[5]: 外部 TRIG 高电平控制曝光时间模式 Bit[4]: 控制 TRIG 的上升沿来之后是否立即输出数据的模式 Bit[3]: 一次 TRIG 触发单帧还是多帧的模式控制 0:单帧 1: 多帧 Bit[2]: TRIG 是边沿有效还是电平有效控制 0: 边沿有效 1:电平有效 Bit[1]: 外部触发使能控制信号 1: 外部触发 0: 内部触发 Bit[0]: reserved	6'h00
----------	-------	----------	---	-------

Rolling Shutter 曝光方式下，芯片的外部触发一般有四种模式，如下所示：

1. 模式一：帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 上升沿触发芯片开始工作（类似于

内部触发模式寄存器 0x000d 设置成 0x01)，此模式 TRIGCTRL 寄存器设置为 0x0a。

2. 模式二：外部触发信号的上升沿触发开始读出，同时在距 TRIG 上升沿后的 Tfrm-Texp 时间点触发下一帧开始曝光，这里的 Tfrm 和 Texp 由芯片内部的寄存器控制，此时的曝光时间和帧时间由 TRIG 的间距决定。此模式 TRIGCTRL 寄存器设置为 0x12。

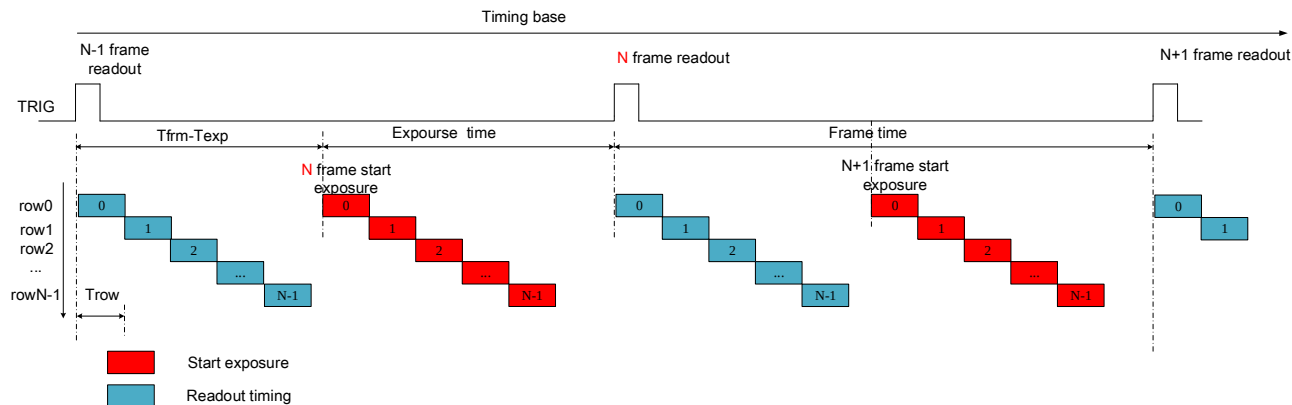


Figure 13 外部触发模式二

3. 模式三：外部 TRIG 信号控制图像的帧时间和曝光时间。TRIG 的高电平为曝光时间（TRIG 的上升沿触发开始曝光，TRIG 的下降沿触发开始读出）；TRIG 的间距控制帧时间。此模式 TRIGCTRL 寄存器设置为 0x22。

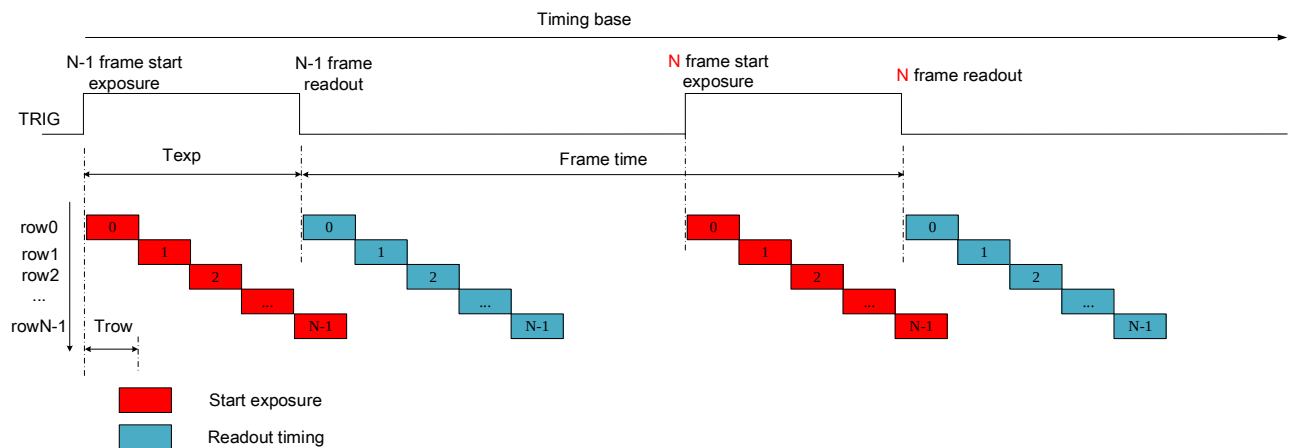


Figure 14 外部触发模式三

4. 模式四：电平触发，帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 为高电平时触发，低电平停止。此模式 TRIGCTRL 寄存器设置为 0x06。

调节曝光与增益

调节曝光

决定曝光时间的寄存器是 TEXP 和 TEXP_MCK 两个寄存器。其中 TEXP 以行时间为单位，TEXP_MCK 以输入主时钟周期为单位。曝光时间计算公式：

$$T_{exp} = (T_{EXP} * ROWTIME + T_{EXP_MCK}) * T_{mclk}$$

公式中出现的 ROWTIME 为寄存器名字，请参见“调整输出帧率”章。**Texp** 必须小于 **Tfrm**，否则无法输出图像。T_{EXP} 和 T_{EXP_MCK} 寄存器的地址见 Table 13。

Table 13 曝光控制寄存器

寄存器名	地址	位宽	功能
T _{EXP}	0x000c 0x000d	16	以行为单位的曝光长度控制
T _{EXP_MCK}	0x000a 0x000b	16	以主时钟为单位的曝光长度控制

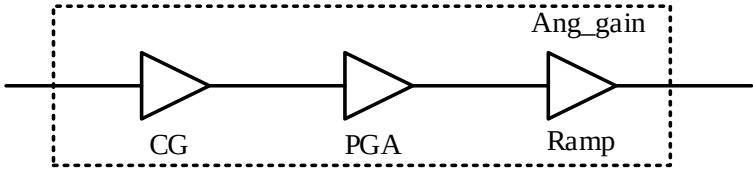
T_{EXP} 的默认值为 0x0280（十进制为 640），T_{EXP_MCK} 的默认值为 0x0000，曝光时间为：

$$T_{exp} = (640 * 3376 + 0) * T_{mclk}$$

T_{EXP} 和 T_{EXP_MCK} 调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。

调节增益

SXY1309 增益只有模拟增益，模拟增益有三级，第一级为转换增益(Conversion Gain)，第二级为 PGA 增益，第三级为 Ramp 增益。



(1) 转换增益的控制寄存器见 Table 14。

Table 14 CG 增益控制寄存器

寄存器名	地址	位宽	功能
SS1_CTRL	0x00ad	8	Bit[0]: 单帧模式 CG 增益控制

CG 转换增益：

$$Gain_{CG} = \begin{cases} 70.7, SS1_CTRL[0] = 0 \\ 1, SS1_CTRL[0] = 1 \end{cases}$$

(2) PGA 增益的控制寄存器见 Table 15。

Table 15 PGA 增益控制寄存器

寄存器名	地址	位宽	功能
PGA_CTRL	0x00a3	8	PGA 增益控制 (RowA)
PGA_CTRL_s	0x00a6	4	PGA 增益控制 (RowB)

单帧模式下 PGA 增益为：

$$\text{Gain}_{\text{PGA}} = \frac{16}{\text{PGA_CTRL}[3:0] + 1}$$

双增益模式下 PGA 大增益为:

$$\text{Gain}_{\text{PGA}} = \frac{16}{\text{PGA_CTRL}[7:4] + 1}$$

双增益模式下 PGA 小增益为:

$$\text{Gain}_{\text{PGA}} = \frac{16}{\text{PGA_CTRL}[3:0] + 1}$$

双帧模式下 RowB PGA 增益为:

$$\text{Gain}_{\text{PGA}} = \frac{16}{\text{PGA_CTRL_S}[3:0] + 1}$$

(3) ramp 增益的控制寄存器见 Table 16。

Table 16 ramp 增益控制寄存器

寄存器名	地址	位宽	功能
VH_CON	0x00a1	7	ramp 增益控制

由以上两个寄存器控制的模拟增益为:

$$\text{Gain}_{\text{ramp}} = 1.6 / (0.011 * \text{vh_con} + 0.2)$$

综上, 总增益为:

$$\text{Gain}_{\text{All}} = \text{Gain}_{\text{cg}} * \text{Gain}_{\text{pga}} * \text{Gain}_{\text{ramp}}$$

调节增益策略

SXY1309 的模拟增益由 CG 转换增益(仅单帧模式)、PGA 增益和 ramp 增益三部分组成。使用过大的模拟增益会导致动态范围下降, 因此建议的增益策略是:

优先使用 PGA 增益, ramp 增益最大不超过 2 倍(可以固定 ramp 增益为 1), 剩余增益使用数字增益补足。在使用 dual gain 模式式, 模拟增益将会固定, 可以仅使用数字增益。

HDR

SXY1309 有 SDR (单帧) 和 HDR 两种模式。HDR 模式可以使用 dual gain 模式和 LOFIC 模式。

Table 17 HDR 控制寄存器

寄存器名	地址	位宽	功能
HDR_EN	0x0021	3	HDR/SDR 模式选择。 bit2: dual FD mode bit1: dual gain mode bit0: LOIFC mode(HDR mode)

			1-HDR mode
			0-SDR mode

SXY1309 支持 Dual gain mode 和 LOFIC HDR mode，此两种模式可以组合使用，也就是可以同时实现 Dual gain mode 和 LOFIC HDR mode。HDR 和 SDR 模式都采用一次曝光来实现，LOFIC 模式需要通过两次出数来实现，而 Dual gain 模式可以将第一次的出数扩展为更高的动态范围。

Lofic-HDR 的两帧数据（长帧、短帧）数据流输出顺序见 Figure 15，长帧短帧交替输出。



Figure 15 lofic-HDR 数据流示意图

LVDS

在 LVDS 传输模式中，帧/行同步信号集成在数据流中，在数据流中的特殊码 SOF 和 EOF 分别表示帧的起始和结束，SOL 和 EOL 分别表示行的起始和结束。在数据流中，SOF/EOF/SOL/EOL 由 4 个字段构成，每个字段的位宽与像素数据保持一致，前 3 个字段为固定的基准码字，根据第 4 个字段来区分帧/行的起始或结束。同步方式如 Figure 16 所示，LVDS 同步码格式如 Figure 17 所示。

LVDS 同步信息和像素数据在各个通道上如 Figure 18 所示，图中 S 表示同步码，P 表示像素，S 和 P 的位宽与图像单个像素的位宽一致。各个数据通道首先传输同步码，接着是像素数据，像素数据的分布与通道数有关。数据的传输是串行的。通道数可以选择 4、6 通道，如果数据 10bit 则只能选择 4 通道，如果数据 12bit 或 14bit 可选择 4、6 通道。每个像素的高位先出或者低位先出，可以选择。

V. BLK				
H. BLK	SOF	Effective Pixel	EOL	H. BLK
H. BLK	SOL	Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
...		...		...
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel		H. BLK
H. BLK		Effective Pixel	EOF	H. BLK
V. BLK				

Figure 16 LVDS 同步方式

Sync code	Bit width	1 st code	2 nd code	3 rd code	4 th code
SOF	10	3FF	000	000	2d8(长帧)
					3c4(短帧)
	12	FFF	000	000	b60(长帧)
					f10(短帧)
EOF	10	3FF	000	000	200(长帧)
					31c(短帧)
	12	FFF	000	000	800(长帧)
					c70(短帧)
SOL	10	3FF	000	000	2000(长帧)
					31c0(短帧)
	12	FFF	000	000	274(长帧)
					368(短帧)
EOL	10	3FF	000	000	9d0(长帧)
					da0(短帧)
	12	FFF	000	000	2740(长帧)
					3680(短帧)
EOL	10	3FF	000	000	2ac(长帧)
					3b0(短帧)
	12	FFF	000	000	ab0(长帧)
					ec0(短帧)
EOL	10	3FF	000	000	2ac0(长帧)
					3b00(短帧)

Figure 17 LVDS 同步码格式

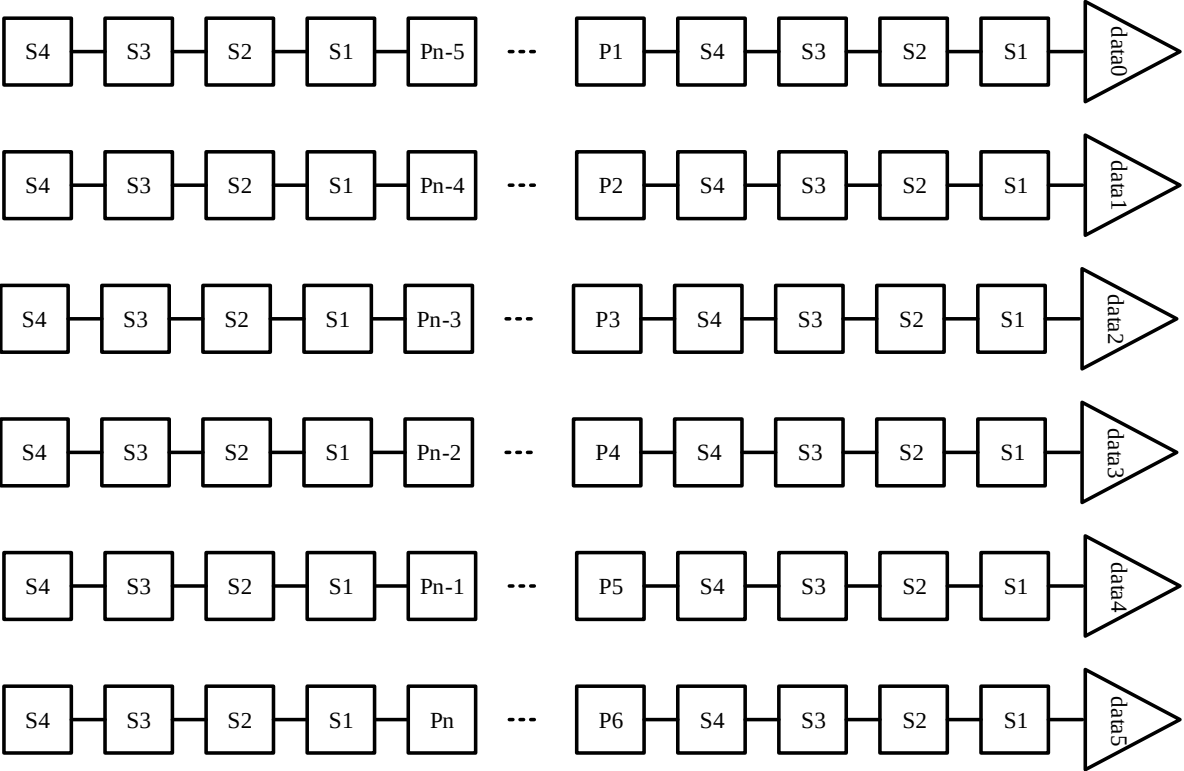


Figure 18 LVDS 传输方式

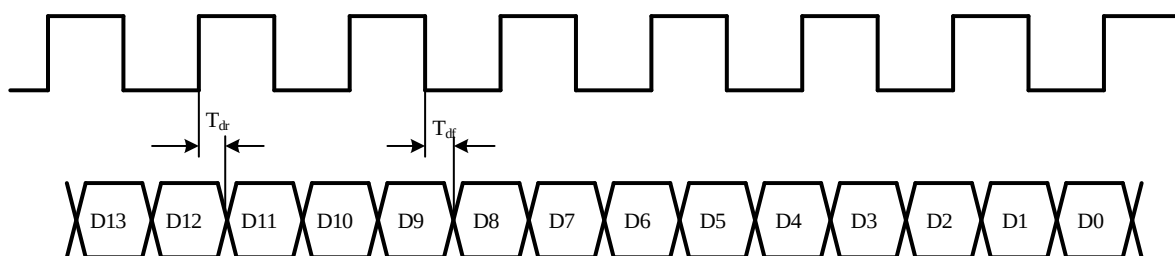


Figure 19 LVDS 单个像素 MSB 传输方式

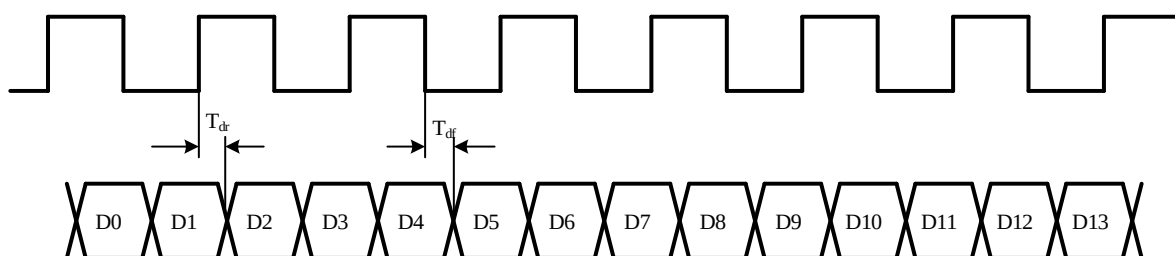


Figure 20 LVDS 单个像素 LSB 传输方式

Table 18 时序参数表

参数	描述	数值 (ns)	
		Min	Max
T_{dr}	数据相对 lvds_clk 上升沿的延时	0.28	0.9
T_{df}	数据相对 lvds_clk 下降沿的延时	0.28	0.9

Table 19 编码及 LVDS 控制寄存器

寄存器名	地址	位宽	功能
Lvds_mode	0x06d0	8	Bit[7]: reserved Bit[6]: reserved Bit[5]: big_endian control 1: MSB mode 0: LSB mode Bit[4]: lvds lane control 1: 6lane 0: 4lane Bit[1:0]: raw data type control 2'b00: raw10 2'b01: raw12 2'b10,2'b11: raw14
SOF	0x06d3	8	Long frame or SDR's SOF code
EOF	0x06d4	8	Long frame or SDR's EOF code
SOL	0x06d5	8	Long frame or SDR's SOL code

EOL	0x06d6	8	Long frame or SDR's EOL code
SOF_S	0x06d7	8	Short frame's SOF code
EOF_S	0x06d8	8	Short frame's EOF code
SOL_S	0x06d9	8	Short frame's SOL's code
EOL_S	0x06da	8	Short frame's EOL's code
BT656_ENCODE_EN	0x06df	1	Encode enable control 1: enable encode 0: disable encode
IO_SEL_CTRL	0x00cc	2	LVDS 输出选择 Bit[1]: pclk IO 类型选择 1: LVDS Bit[0]: dout IO 类型选择 1: LVDS
OEN_CTRL	0x00cd	5	IO 输出使能控制 Bit[4]: PCLK 输出使能控制 1: 高阻 0: 正常输出 Bit[3]:同步信号使能控制 1: 高阻 0: 正常输出 Bit[2]: dout[13:12]使能控制 1: 高阻 0: 正常输出 Bit[1]: lvds_d[5:4]或 dout[11:8]使能控制 1: 高阻 0: 正常输出 Bit[0]:lvds_d[3:0]或 dout[7:0]使能控制 1: 高阻 0: 正常输出
LVDS_CTRL	0x00c9	5	LVDS 幅度控制 Bit[4]: LVDS_vcm_sel Bit[2:0]: LVDS_drv

其他

IO 驱动能力调节

SXY1309 内建 IO 驱动能力的调节，用于适应 Sensor 端不同负载的应用环境。具体的请见 Table 20。

Table 20 调节驱动能力寄存器

寄存器名	地址	位宽	功能
IO_DRV_CTRL2	0x00cb	7	Bit[6:4]: hsync, vsync 驱动能力调节 Bit[3:0]: dout 驱动能力调节
IO_DRV_CTRL1	0x00ca	3	Pclk 驱动能力调节

Pixel Clock 相位调节

Table 21 调节 Pclk 的相位

寄存器名	地址 s	位宽	功能
PCLK_DLY	0x00b2	4	Bit[3:0]pclk 的相位调节

芯片电源上电顺序



Figure 21 芯片上电与下电顺序

量子效率曲线

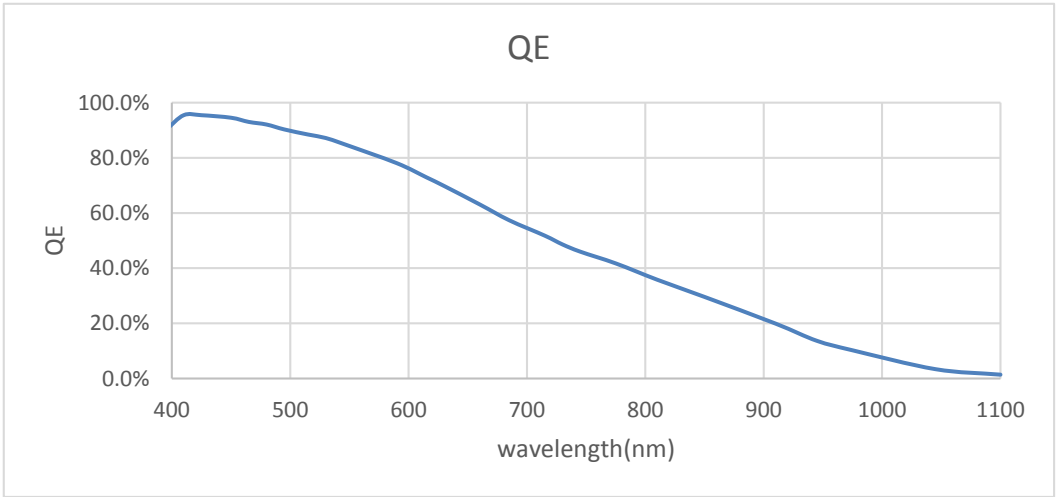


Figure 22 QE