



RST0139R

DataSheet

1 Inch 1-Mega Pixel CMOS Image Sensor

V6.0

2026.03.06

应用

- 日夜兼容的监控
- 夜视设备
- 科学研究
- 无人机

特性

- 高灵敏度 9.7μm 像素
- 高信噪比
- 像素双转换增益
- 支持 HDR
 - Dual-CG
- 支持黑电平校正
- 集成片上 OTP （4Kbit）
- 支持 Updown、Mirror、任意尺寸裁窗口
- 支持外部触发曝光
- 支持外部同步，支持多图像传感器同步

关键指标（典型值）

- 产品料号：RST0139R
- 芯片尺寸：17mm × 15mm
- 分辨率：有效 1280x1024（130万像素）
 - 支持±20 像素光心校准
- 像素尺寸：9.7μm×9.7μm
- 灵敏度：160V/lux•s
- 读出噪声：<0.75e⁻@15.5x
- 满阱容量：>52ke⁻
- 信噪比：47dB
- 动态范围：68dB
 - 94dB@HDR mode
- 主时钟频率：典型 24MHz
- 帧率：30fps/60fps/100fps
- 曝光方式：Rolling
- 量化深度：10bit/12bit
- 控制接口：I2C
- 输出数据格式：10bit/12bit Raw
- 功耗：
 - 176mW @ 10bit 60fps
 - 165mW @ 12bit 30fps
- 数据输出接口：
 - 2 Lane MIPI
 - DVP

目录

目录 II

图片索引 V

表格索引 VII

1. 传感器简介 1

 1.1. 传感主要特点 1

 1.2. 主要应用领域 1

 1.3. 芯片指标列表 1

2. 传感器结构 3

 2.1. 总体结构 3

 2.2. 参考原理图设计 4

 2.3. 像素阵列 5

 2.3.1. 像素阵列 5

 2.3.2. 芯片尺寸 6

 2.4. 芯片封装信息 7

 2.5. 引脚说明 8

 2.6. 典型连接方式 11

 2.7. 电气特性 14

 2.8. CHIEF RAY ANGLE 15

3. 工作方式 16

 3.1. 上电时序 16

 3.2. I2C 16

 3.2.1. 读取和写入 16

 3.2.2. 应答位 (ACK/NACK) 17

 3.2.3. 数据位发送 18

 3.2.4. I2C 时序 18

 3.2.5. 寄存器表述方式说明 19

 3.3. 帧时序 19

 3.4. 复位方式 20

 3.5. 待机模式 21

3.6. 成像模式.....	21
3.6.1. 普通模式.....	21
3.6.2. HDR 模式.....	22
3.6.3. 低噪声模式.....	23
3.7. 外部触发模式.....	24
3.7.1. 外部曝光.....	24
3.7.2. 外部同步.....	26
4. 功能描述	32
4.1. 测试图形.....	32
4.2. 内部测试信号	32
4.2.1. 内部列电路测试.....	33
4.2.2. 内部模拟信号测试.....	33
4.2.3. 内部数字信号测试.....	34
4.2.4. 内部电流信号测试.....	34
4.3. 时钟调节.....	35
4.3.1. PLL.....	35
4.3.2. ADC 位宽与 RAMP 位宽.....	37
4.4. 帧率调节.....	37
4.5. 窗选.....	39
4.6. 图像翻转.....	40
4.7. 增益设置.....	41
4.7.1. 模拟增益设置.....	41
4.7.2. 数字增益切换.....	43
4.8. LCG/HCG 切换.....	43
4.9. 曝光时间.....	43
4.9.1. 曝光时间小于一帧.....	44
4.9.2. 曝光时间大于一帧.....	44
4.10. 暗电平校正	46
4.10.1. 暗区坏点校正.....	46
4.10.2. OB 统计公式.....	47
4.10.3. OB 多帧统计.....	48
4.10.4. 像素计算.....	49
4.10.5. BLC 与 Darkrow 输出.....	50
4.11. OTP	50

4.11.1. OTP 写入数据 (Program) 的操作步骤..... 51

4.11.2. OTP 读取数据 (READ) 的操作步骤..... 52

4.11.3. OTP detection mode (DM) 的操作步骤..... 53

5. 读出接口 56

5.1. DVP 接口 56

5.2. MIPI 接口 58

5.2.1. Data Lane Parameter 61

5.2.2. Clock Lane Parameter..... 62

5.2.3. MIPI 寄存器..... 63

6. 寄存器列表 64

6.1. GLOBAL REGISTER 64

6.2. REGPAGE0..... 65

6.3. REGPAGE1..... 67

6.4. REGPAGE4..... 73

6.5. REGPAGE5..... 75

7. 文档修订历史 75

图片索引

图 2 - 1 芯片整体结构	3
图 2 - 2 参考原理图设计	4
图 2 - 3 像素阵列结构	5
图 2 - 4 传感器芯片尺寸	6
图 2 - 5 传感器封装图	7
图 2 - 6 传感器引脚典型连接方式.....	11
图 2 - 7 炉温曲线.....	13
图 3 - 1 上电时序.....	16
图 3 - 2 I2C 通讯协议示例	17
图 3 - 3 I2C ACKNOWLEDGE BIT DESCRIPTION	17
图 3 - 4 I2C DATA TRANSPORT DESCRIPTION	18
图 3 - 5 I2C 接口时序	18
图 3 - 6 IMAGE DRAWING OF SHUTTER OPERATION	20
图 3 - 7 IMAGE DRAWING OF INTEGRATION TIME CONTROL WITHIN A FRAME	20
图 3 - 8 外部曝光示意图	25
图 3 - 9 外部同步基本模式选择.....	28
图 3 - 10 外部同步 MASTER 模式.....	28
图 3 - 11 外部同步 SLAVE 模式	29
图 3 - 12 FSYNC_S_POSITION 推荐设置范围	30
图 3 - 13 EVSYNC 首次同步前正常输出图像.....	30
图 3 - 14 EVSYNC 首次同步前不输出图像	30
图 3 - 15 EVSYNC 首次同步	30
图 3 - 16 EVSYNC 同步中途严重偏离期望位置.....	31
图 4 - 1 测试图形.....	32

图 4 - 2 PLL 关系图	35
图 4 - 3 RST0139R 帧率示意图	38
图 4 - 4 窗选示意图	39
图 4 - 5 图像翻转示意图	40
图 4 - 6 曝光时间设置流程	44
图 4 - 7 VPP 建立时序	51
图 4 - 8 OTP 写入时序图	52
图 4 - 9 OTP 读出时序图	53
图 4 - 10 OTP 操作流程	54
图 5 - 1 DVP 接口时序	56
图 5 - 2 MIPI 接口连接方式	58
图 5 - 3 MIPI 底层数据包示意图	58
图 5 - 4 MIPI 底层数据包示意图	59
图 5 - 5 MIPI 1/2 LANE 模式数据包传输示意图	59
图 5 - 6 MIPI 数据包 DI 结构	60
图 5 - 7 SWITCHING THE CLOCK LANE BETWEEN CLOCK TRANSMISSION AND LOW- POWER MODE	60
图 5 - 8 HIGH-SPEED DATA TRANSMISSION BURSTS	61

表格索引

表 1 - 1 芯片指标列表	1
表 2 - 1 芯片引脚说明	8
表 2 - 2 绝对最大额定值（所有电压都是 TO PAD 电压）	14
表 2 - 3 直流电气特性（所有电压都是 TO PAD 电压）	14
表 2 - 4 交流特性（TA=25°C，AVDD=2.8V，DOVDD=1.8V）	14
表 3 - 1 I2C 接口时序特征	18
表 3 - 2 复位相关寄存器	20
表 3 - 3 LINEAR 模式	21
表 3 - 4 HDR 相关寄存器	22
表 3 - 5 低噪声模式相关寄存器	23
表 3 - 6 外部曝光相关寄存器	25
表 3 - 7 外部同步相关寄存器	26
表 4 - 1 测试图形寄存器	32
表 4 - 2 内部测试信号寄存器	32
表 4 - 3 PLL 相关寄存器	35
表 4 - 4 时钟典型配置表	36
表 4 - 5 PLL 计数位宽和 RAMP 位宽关系	37
表 4 - 6 与帧率相关的寄存器	38
表 4 - 7 行选寄存器	39
表 4 - 8 列选寄存器	40
表 4 - 9 图像翻转寄存器	40
表 4 - 10 模拟增益设置相关寄存器	41
表 4 - 11 数字增益设置相关寄存器	43
表 4 - 12 LCG/ HCG 切换寄存器	43

表 4 - 13 曝光时间相关寄存器.....	45
表 4 - 14 暗区坏点校正相关寄存器	46
表 4 - 15 OB 统计公式相关寄存器	47
表 4 - 16 OB 统计区域相关寄存器	49
表 4 - 17 BLC 像素计算寄存器.....	49
表 4 - 18 BLC 寄存器	50
表 4 - 19 VPP 建立的时序参数	51
表 4 - 20 OTP 写入时序参数	52
表 4 - 21 OTP 读出时序参数	53
表 4 - 22 OTP 控制模块相关寄存器.....	54
表 5 - 1 DVP 相关寄存器	57
表 5 - 2 MIPI 数据类型	60
表 5 - 3 DATA LANE PARAMETER	61
表 5 - 4 CLOCK LANE PARAMETER	62
表 5 - 5 MIPI 寄存器	63
表 6 - 1 GLOBAL REGISTERS	64
表 6 - 2 PAGE0 REGISTERS	65
表 6 - 3 PAGE1 REGISTERS	67
表 6 - 5 PAGE4 REGISTERS	73
表 6 - 6 PAGE5 REGISTERS	75

1. 传感器简介

RST0139R 是一款高灵敏度、低噪声的 1 英寸 130 万像素格式 CMOS 图像传感器。通过采用高灵敏的 9.7μm 像素，实现了出色的低光灵敏度、信噪比、满阱容量、量子效率和动态范围。提供了丰富的编程模式，可以方便地控制帧率、曝光时间、增益和其他参数。它还提供以下图像功能：高动态模式、镜像和翻转、选窗功能、黑电平校准、黑太阳消除等。它支持高达 120fps @ 130 万像素格式的高帧率。具备这些特性的图像传感器，将为用户在微弱光环境下带来出色的成像体验。

1.1. 传感主要特点

- 高灵敏度 9.7μm 像素
- 支持 HDR
- 支持黑电平校正
- 支持 Upside-down, Mirror, 任意尺寸裁窗口
- 支持外部同步，支持双摄
- 支持 Raw10, Raw12
- 数据接口：DVP&MIPI
- 控制接口：I2C

1.2. 主要应用领域

- 日夜兼容的监控；
- 夜视设备；
- 科学研究；
- 无人机；

1.3. 芯片指标列表

表 1 - 1 芯片指标列表

参数	数值
产品料号	RST0139R
芯片尺寸	17mm × 15mm
分辨率	有效 1280x1024 (130 万像素) 支持±20 像素光心校准
像素尺寸	9.7μm × 9.7μm
灵敏度	160V/lux·s
读出噪声	< 0.75e ⁻ @15.5x
满阱容量	> 52ke ⁻
信噪比	47dB
动态范围	68dB@normal mode 94dB@HDR mode
主时钟频率	典型 24MHz
帧频	30fps/60fps/100fps
曝光方式	rolling
量化深度	10bit/12bit
控制接口	I2C
数据输出接口	MIPI, DVP
功耗	176mW @ 10bit 60fps 165mW @ 12bit 30fps

2. 传感器结构

2.1. 总体结构

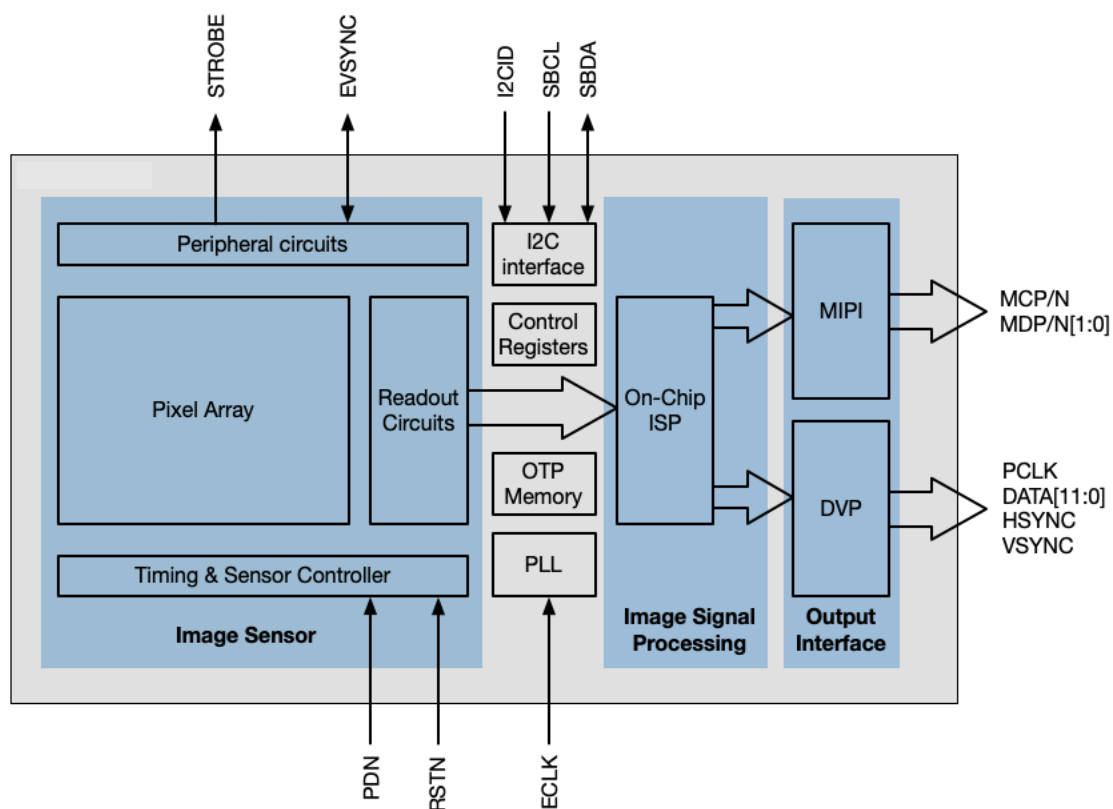


图 2 - 1 芯片整体结构

如图 2 - 1 所示，该芯片由像素阵列、读出电路、外围电路、数字电路等部分组成，其中数字电路完成芯片时序控制、I2C 寄存器配置、OTP 读写、暗电平校正、镜像/翻转、MIPI 输出等功能。

2.2. 参考原理图设计

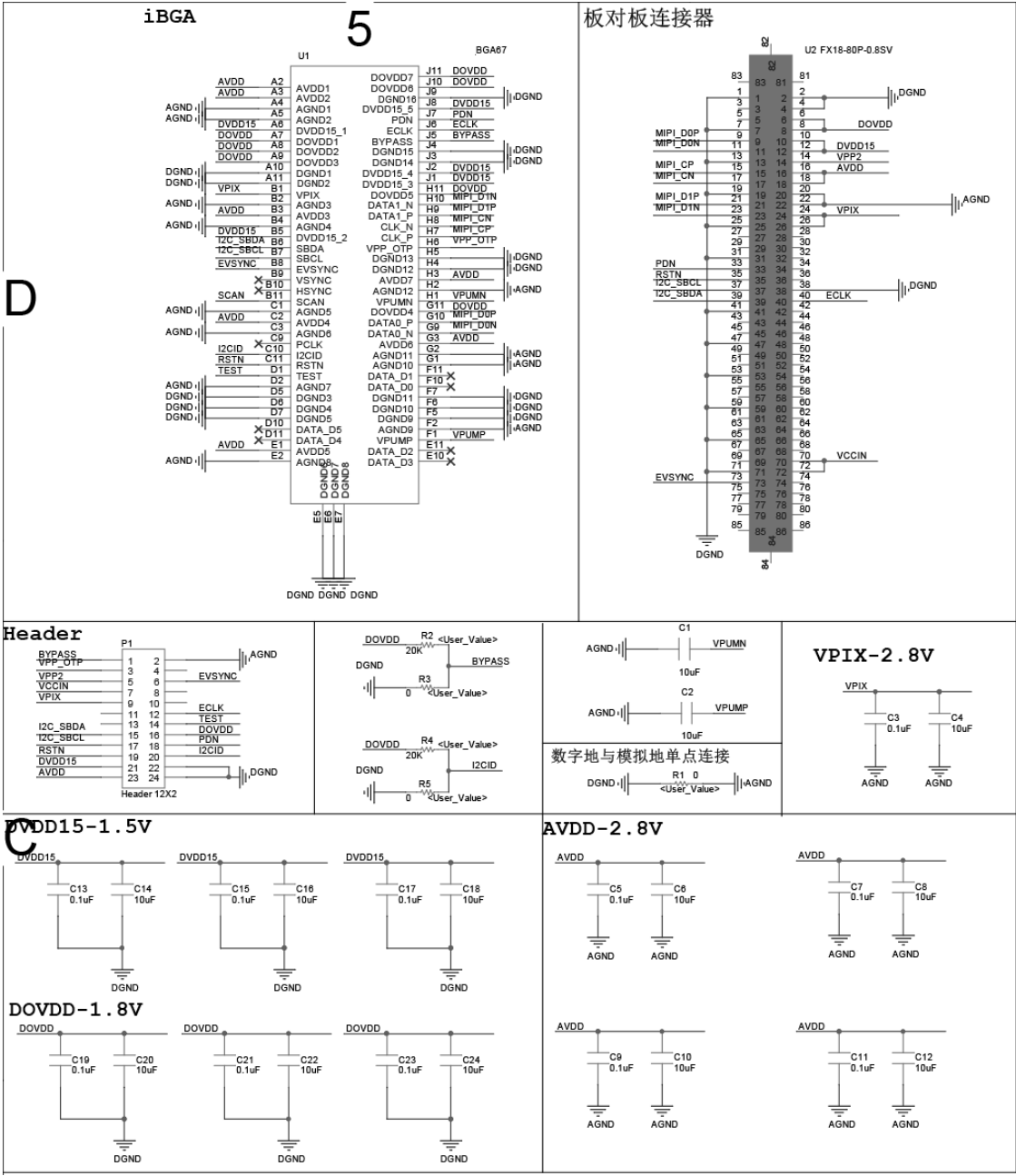


图 2 - 2 RST0139R_iBGA 参考原理图设计

2.3. 像素阵列

2.3.1. 像素阵列

像素有效像素区域是 1320×1064（1280×1024 和±20 光心调整像素），外侧有 4 个 border 像素，如图 2 - 3。

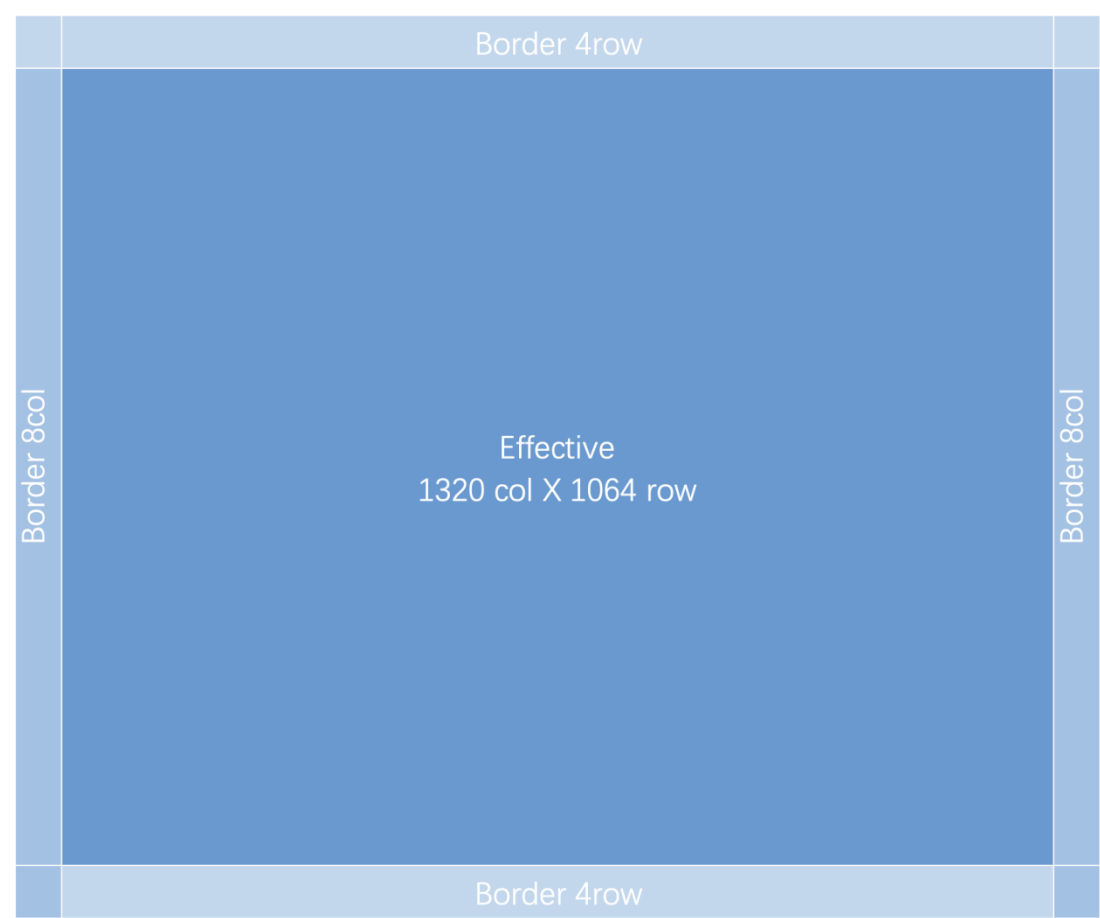


图 2 - 3 像素阵列结构

2.3.2. 芯片尺寸

芯片尺寸为 $14270\mu\text{m} \times 11960\mu\text{m}$ ，其中有效感光区尺寸为 $12804\mu\text{m} \times 10320.8\mu\text{m}$ 。芯片中心与有效感光区中心距离为 $-75.77\mu\text{m} \times 381.513\mu\text{m}$ 。如图 2 - 4。

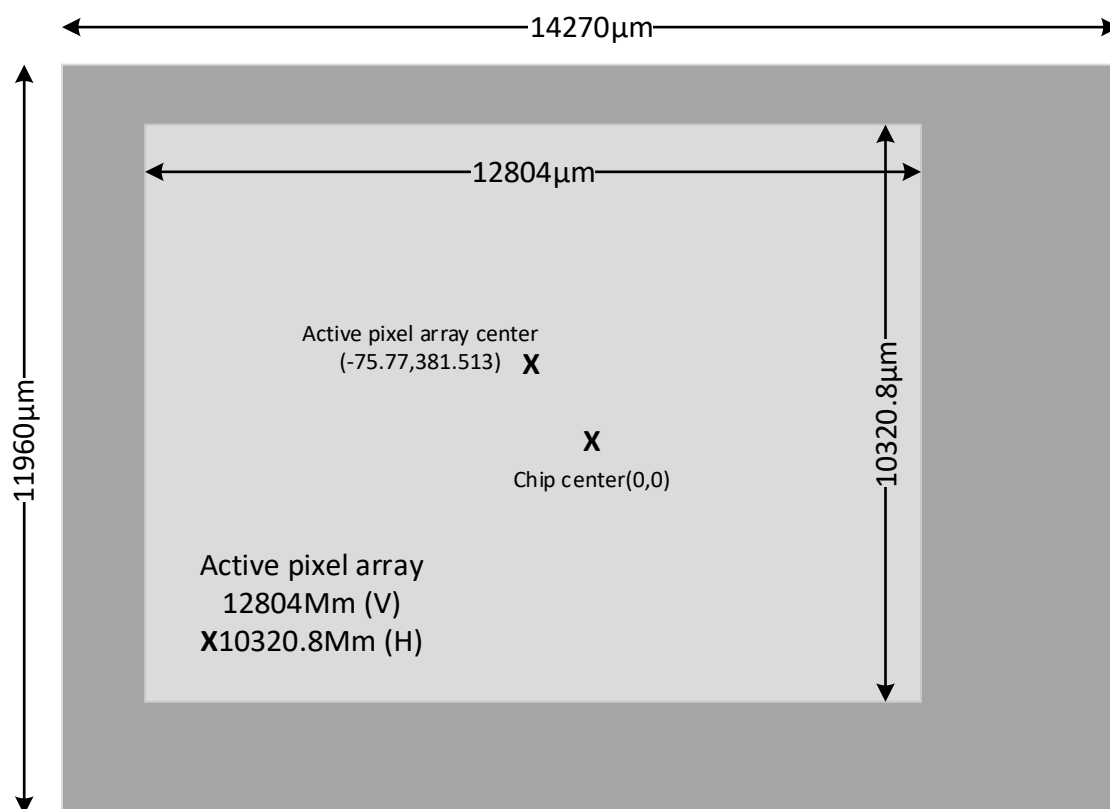


图 2 - 4 传感器芯片尺寸

2.4. 芯片封装信息

RST0139R 采用 iBGA 管壳来进行封装，管壳信息如下。

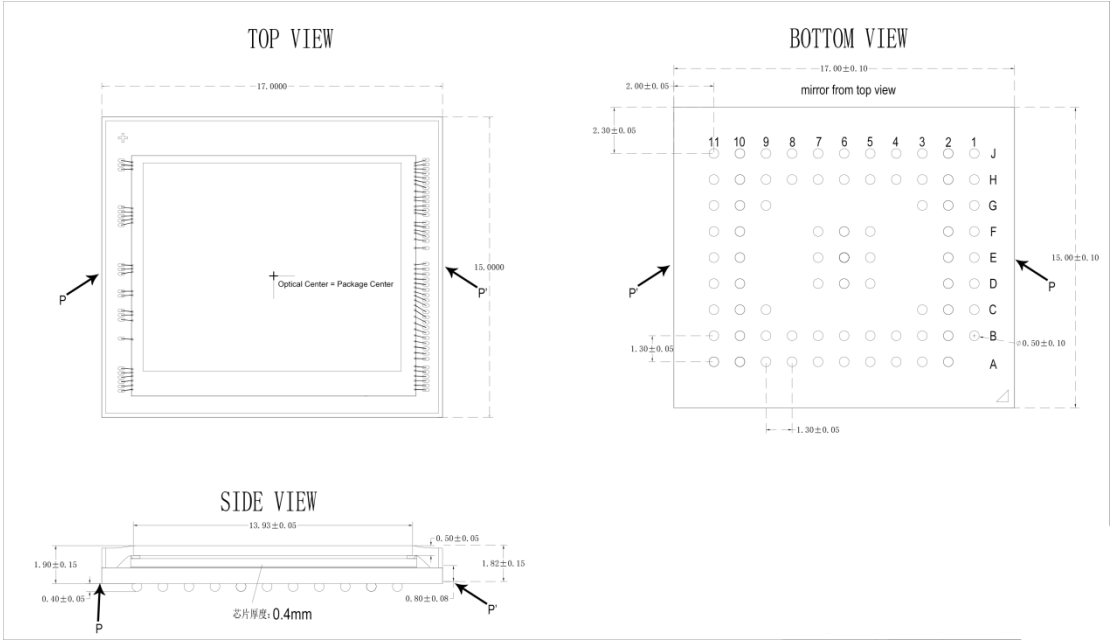


图 2 - 5 传感器封装图

2.5. 引脚说明

传感器芯片包含 67pin 引脚，使用 iBGA 封装后引脚映射关系和说明如表 2 - 1:

表 2 - 1 芯片引脚说明

管脚序号	管脚名称	A/D	I/O/P	管脚说明
A2	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
A3	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
A4	AVSS	A	P	Analog ground
A5	AVSS	A	P	Analog ground
A6	DVDD15	A	P	Digital core power, typical 1.5V. Place $\geq 2\mu\text{F}$ cap to DVSS.
A7	DOVDD	D	P	IO power for digital signal, typical 1.8V. Place $\geq 2\mu\text{F}$ cap to DVSS.
A8	DOVDD	D	P	IO power for digital signal, typical 1.8V. Place $\geq 2\mu\text{F}$ cap to DVSS.
A9	DOVDD	D	P	IO power for digital signal, typical 1.8V. Place $\geq 2\mu\text{F}$ cap to DVSS.
A10	DVSS	A	P	Digital ground
A11	DVSS	A	P	Digital ground
B1	VPIX	A	P	Pixel power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS. Typically, connect VPIX to AVDD.
B2	AVSS	A	P	Analog ground
B3	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
B4	AVSS	A	P	Analog ground
B5	DVDD15	A	P	Digital core power, typical 1.5V. Place $\geq 2\mu\text{F}$ cap to DVSS.
B6	SBDA	D	I/O	data line for I2C bus.
B7	SBCL	D	I	clock line for I2C bus.
B8	EVSYNC	D	I/O	External exposure control or continuous imaging synchronous pin. This pin has internal pull down resistor Min 73.4K. If EVSYNC is not used, leave it floating.
B9	VSYN	D	O	DVP VSYNC (frame valid) output.
B10	HSYN	D	O	DVP HSYN (line valid) output.
B11	SCAN (reserved)	-	-	Leave it floating
C1	AVSS	A	P	Analog ground

C2	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
C3	AVSS	A	P	Analog ground
C9	PCLK	D	O	DVP clock output. Leave it floating.
C10	I2CID	D	I	I2C ID selection. This pin has internal pull down resistor Min 73.4K.
C11	RSTN	D	I	Reset input. 0 to reset chip, 1 to work normally. This pin has internal pull down resistor Min 73.4K.
D1	TEST	A	I/O	Leave it floating.
D2	AVSS	A	P	Analog ground
D5	DVSS	A	P	Digital ground
D6	DVSS	A	P	Digital ground
D7	DVSS	A	P	Digital ground
D10	DATA<5>	D	O	DVP data output bit<5>. Leave it floating when using MIPI.
D11	DATA<4>	D	O	DVP data output bit<4>. Leave it floating when using MIPI.
E1	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
E2	AVSS	A	P	Analog ground
E5	DVSS	A	P	Digital ground
E6	DVSS	A	P	Digital ground
E7	DVSS	A	P	Digital ground
E10	DATA<3>	D	O	DVP data output bit<3>. Leave it floating when using MIPI.
E11	DATA<2>	D	O	DVP data output bit<2>. Leave it floating when using MIPI.
F1	VPUMP	A	O	Positive charge pump, output voltage range 2.8V to 3.6V. Place 4.7uF cap to AVSS
F2	AVSS	A	P	Analog ground
F5	DVSS	A	P	Digital ground
F6	DVSS	A	P	Digital ground
F7	DVSS	A	P	Digital ground
F10	DATA<0>	D	O	DVP data output bit<0>. Leave it floating when using MIPI.
F11	DATA<1>	D	O	DVP data output bit<1>. Leave it floating when using MIPI.
G1	AVSS	A	P	Analog ground
G2	AVSS	A	P	Analog ground
G3	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
G9	MIPI_D0N/	D	O	MIPI data0_n or DVP data output bit<9>.

	DATA<9>			
G10	MIPI_D0P/ DATA<8>	D	O	MIPI data0_p or DVP data output bit<8>.
G11	DOVDD	D	P	IO power for digital signal, typical 1.8V. Place $\geq 2\mu\text{F}$ cap to DVSS.
H1	VPUMN	A	O	Negative charge pump, output voltage range -1.7V to 0V. Place 4.7uF cap to AVSS
H2	AVSS	A	P	Analog ground
H3	AVDD	A	P	Analog power, typical 2.8V. Place $\geq 2\mu\text{F}$ cap to AVSS.
H4	DVSS	A	P	Digital ground
H5	DVSS	A	P	Digital ground
H6	VPP_OTP	D	P	Provide DOVDD.
H7	MIPI_CLKP /DATA<10>	D	O	MIPI clk_p or DVP data output bit<10>.
H8	MIPI_CLK N/DATA<11> >	D	O	MIPI clk_n or DVP data output bit<11>.
H9	MIPI_D1P/ DATA<7>	D	O	MIPI data1_p or DVP data output bit<7>.
H10	MIPI_D1N/ DATA<6>	D	O	MIPI data1_n or DVP data output bit<6>.
H11	DOVDD	D	P	IO power for digital signal, typical 1.8V. Place $\geq 2\mu\text{F}$ cap to DVSS.
J1	DVDD15	A	P	Digital core power, typical 1.5V. Place $\geq 2\mu\text{F}$ cap to DVSS.
J2	DVDD15	A	P	Digital core power, typical 1.5V. Place $\geq 2\mu\text{F}$ cap to DVSS.

引脚可合并电容组：

AVDD 可合并引脚序号：A2,A3,B1,C2,E1,G3,H3；

DVDD15 可合并引脚序号：A6,B5,J1,J2,J8；

DOVDD 可合并引脚序号：A7,A8,A9,G11,H11,J11。

2.6. 典型连接方式

图 2 - 6 是该传感器的典型引脚连接方式。

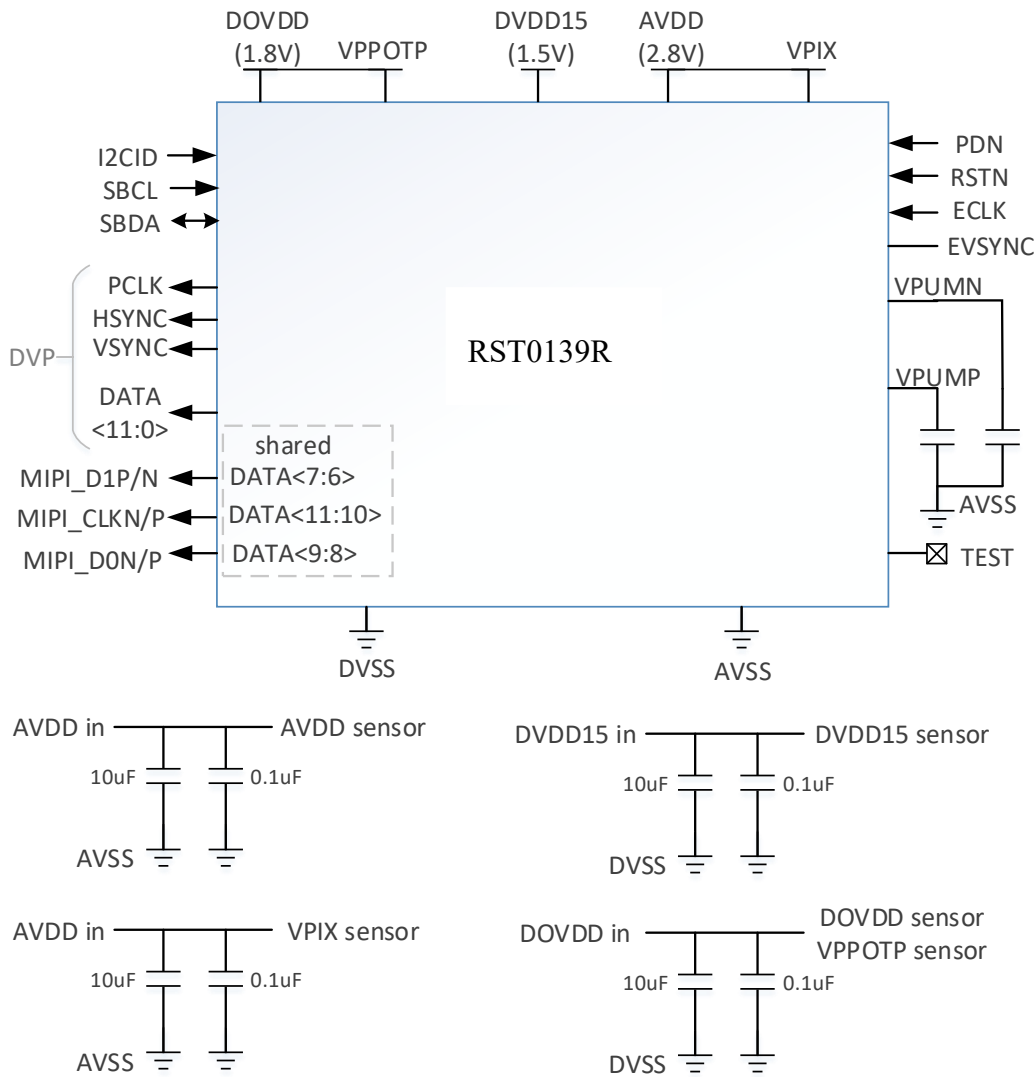


图 2 - 6 传感器引脚典型连接方式

电源连接需求:

(1) AVDD 和 VPIX 是模拟电源，DVDD15、DOVDD、VPPOTP 是数字电源，其中 VPIX 连接到 AVDD 的电源供电，VPPOTP 连接到 DOVDD 的电源供电，因此外部需提供电源包括 AVDD（典型 2.8V）、DVDD15（典型 1.5V）和 DOVDD（典型 1.8V）；

(2) 模拟/数字电源需要分别对模拟地/数字地进行滤波，滤波电容使用 $\geq 2\mu\text{F}$ 的组合，滤波电容放置尽量靠近 sensor，对于同类电源引脚位置接近的情况，可以合并使用一个 $\geq 2\mu\text{F}$ 的电容。

(3) 模拟电路易受噪声影响，需要使用低噪声 LDO 提供模拟电源。

(4) VPIX 用于像素供电，需要电源干净、噪声小，务必保证此端口连接有独立的一组滤波电容，且周围环境被地线包围。

(5) 为保证供电可靠性，条件允许情况下使用不小于 40mil 的线宽，不得低于 20mil，且尽量降低走线长度。

(6) 确保模拟电源、地和数字电源、地尽量隔离开。

(7) 模拟地和数字地可在供电最源头位置进行单点连接。

信号需求：

(1) 单端信号交互电平为 DOVDD 电压，典型为 1.8V。

(2) MIPI 差分走线阻抗设定为 100 欧姆，差分线全部做等长控制，同一对差分线长度差异<10mil，不同差分对之间长度差异<20mil，尽量在差分线外侧使用地线屏蔽，避免对其他线对的干扰。

(3) 如果不使用 DVP 输出，可将 PCLK、HSYNC、VSYNC、DATA<5:0> 做浮空处理。

(4) 如果不需要外部同步功能，可以将 EVSYNC 做浮空处理。

(5) I2CID 端口可使用下拉或上拉电阻将其电位拉低、拉高，从而选择 I2C 寄存器地址。

(6) VPUMP 和 VPUMN 端口需要分别连接对模拟地的 $\geq 4.7\mu\text{F}$ 电容。

(7) TEST 端可做浮空处理。

其他需求：

(1) 发热器件需要远离 sensor 放置，且尽量利用铺铜的电源、地层快速散热。

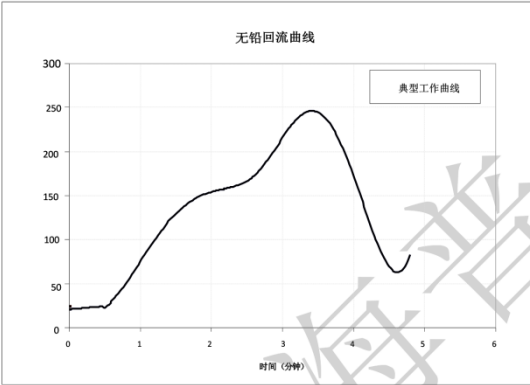
(2) 钢网推荐厚度 0.12mm。

(3) SMT 贴片之前必须进行烘烤，具体细节如下：

① 常规烘烤温度为：120C-150C；

② 常规烘烤时间为：24h-48h。

(4) 回流焊炉温曲线，如图所示：



区域	时间	升温斜率	峰值温度	降斜速率
预热区（室温~150℃）	60~150s	≤2.0℃/s		
预热恒温区（150~200℃）	60~120s	<1.0℃/s		
回流区（217℃~250℃）	30~90s	1.5-3.5℃/s	240-250℃	1.5-3.5℃/s
冷却区（217℃~180℃）				1-3℃/s

图 2 - 7 炉温曲线

2.7. 电气特性

表 2 - 2 绝对最大额定值（所有电压都是 to pad 电压）

项目	符号	绝对最大额定值	单位
模拟电源电压	V _{AVDD}	-0.3~4.0	V
I/O 电源电压	V _{DOVDD}	-0.3~4.0	V
数字电源电压	V _{DVDD}	-0.3~1.7	V
I/O 输入电压	—	-0.3~DOVDD+0.3	V
I/O 输出电压	—	-0.3~DOVDD+0.3	V
工作温度	—	-45 ~ 70	°C
贮存温度	—	-45 ~ 80	°C

表 2 - 3 直流电气特性（所有电压都是 to pad 电压）

项目	符号	最小值	典型值	最大值	单位
电源					
模拟电源电压	V _{AVDD}	2.7	2.8	2.9	V
I/O 供电电压	V _{DOVDD}	1.7	1.8	1.9	V
数字电源	V _{DVDD}	1.4	1.5	1.6	V
电流（MIPI 模式，典型条件:AVDD=2.8V,DOVDD=1.8V,DVDD=1.5V, 2Lane MIPI full size@10Bit 60fps)					
模拟电源电流	I _{AVDD}	—	26.84	—	mA
I/O 电源电流	I _{DOVDD}	—	7.48	—	mA
数字电源电流	I _{DVDD}	—	58.52	—	mA
电流（MIPI 模式，典型条件： AVDD=2.8V， DOVDD=1.8V, DVDD=1.5V,2Lane MIPI full size @12Bit 30fps)					
模拟电源电流	I _{AVDD}	—	26.73	—	mA
I/O 电源电流	I _{DOVDD}	—	6.49	—	mA
数字电源电流	I _{DVDD}	—	52.58	—	mA
数字输入（典型条件： AVDD=2.8V， DOVDD=1.8V)					
输入低电平	V _{IL}	—	—	0.3×DOVDD	V
输入高电平	V _{IH}	0.7×DOVDD	—	—	V
输入电容	C _{IN}	—	—	20	pF
数字输出（25pF 标准负载)					
输入高电平	V _{OH}	0.9×DOVDD	—	—	V
输入低电平	V _{OL}	—	—	0.1×DOVDD	V
串行接口输入（SCL 和 SDA)					
输入低电平	V _{IL}	-0.3	0	0.3×DOVDD	V
输入高电平	V _{IH}	0.7×DOVDD	DOVDD	DOVDD+0.3	V

表 2 - 4 交流特性（TA=25°C， AVDD=2.8V， DOVDD=1.8V）

项目	符号	最小值	典型值	最大值	单位
交流参数					

软复位设置时间	—	—	—	1	ms
更改分辨率设置时间	—	—	—	1	ms
配置寄存器设置时间	—	—	—	300	ms
晶振和时钟输入					
输入时钟频率	FEXTCLK	6	—	40	MHz
输入时钟上升/下降时间	—	—	—	5	ns

2.8. Chief Ray Angle

RST0139R CRA = 0°

3. 工作方式

3.1. 上电时序

芯片上电过程中电源和信号的顺序如图 3 - 1：

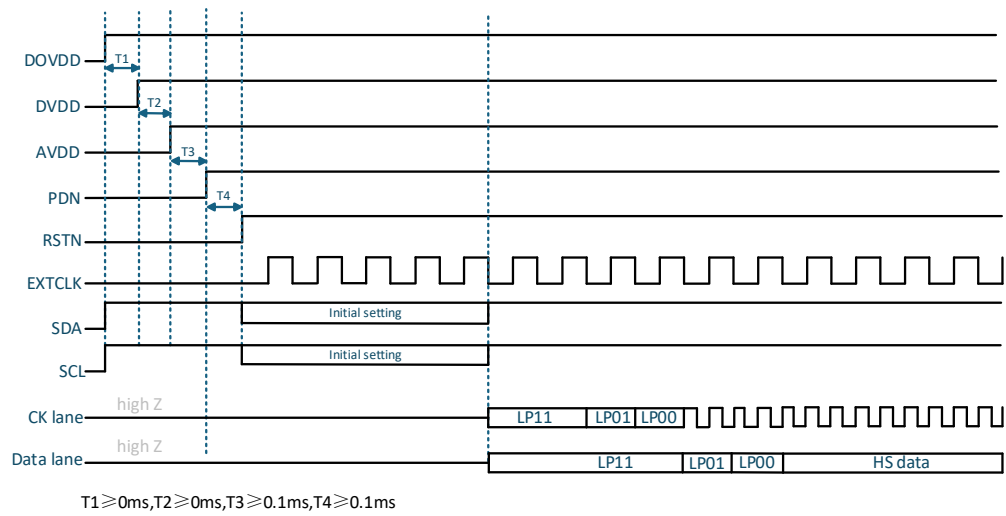


图 3 - 1 上电时序

3.2. I2C

RST0139R 的写入地址和读取地址可通过 I2CID 端口来选择。

- 1) 当 I2CID 为 0 时，写入地址为 0x7C，读取地址为 0x7D；
- 2) 当 I2CID 为 1 时，写入地址为 0x7E，读取地址为 0x7F；

3.2.1. 读取和写入

典型的 READ 或 WRITE 序列从主机发送起始位开始。在起始位之后，主设备发送从设备的 8 位地址。设备地址的最后一位用于请求是读还是写，其中“0”表示 WRITE，“1”表示 READ。从设备通过向主设备发送回确认位来确定其地址。

如果请求是 **WRITE**，则主机将传送应该进行写入的 8 位寄存器地址。从设备发送一个确认位，指示寄存器地址已被接收。然后，主设备一次传输 8 位数据，从设备在每 8 位之后发送一个确认位。主机通过发送开始或停止位来停止写入。

典型的 **READ** 序列执行如下:首先，主设备发送写模式从设备地址和 8 位寄存器地址，就在写请求中一样。然后，主设备发送起始位和读取模式从设备地址。然后，主设备一次时钟输出寄存器数据 8 位。主机在每次 8 位传输后发送一个确认位。当主机发送无确认位时，数据传输停止。

在 I2C 通讯中，该芯片使用 7bit 设备地址（Slave Address）、8bit 寄存器地址（Sub Address）和 8bit 寄存器值（Data）。通讯示例与时序关系如图 3 - 2。

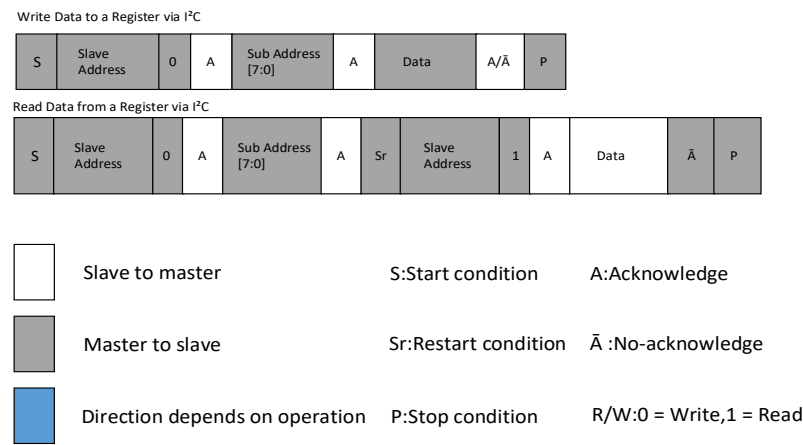


图 3 - 2 I2C 通讯协议示例

3.2.2. 应答位（ACK/NACK）

应答信号为低电平时，规定为有效应答位（ACK 简称应答位），表示接收器已经成功地接收了该字节;对于反馈有效应答位 **ACK** 的要求是，接收器在第 9 个时钟脉冲之前的低电平期间将 **SDA** 线拉低，并且确保在该时钟的高电平期间为稳定的低电平。如图 3 - 3 所示。

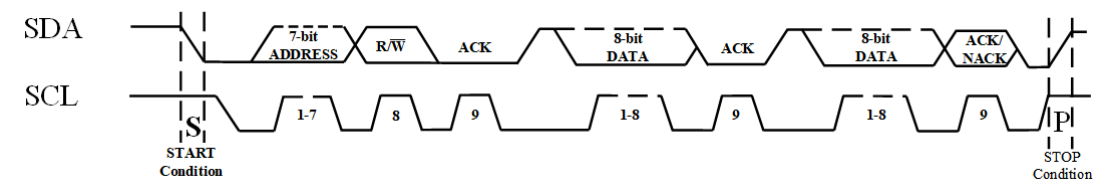


图 3 - 3 I2C Acknowledge Bit Description

3.2.3. 数据位发送

在 I2C 总线上传送的每一位数据都有一个时钟脉冲相对应（或同步控制），即在 SCL 串行时钟的配合下，在 SDA 上逐位地串行传送每一位数据。进行数据传送时，在 SCL 呈现高电平期间，SDA 上的电平必须保持稳定，低电平为数据 0，高电平为数据 1。只有在 SCL 为低电平期间，才允许 SDA 上的电平改变状态。逻辑 0 的电平为低电平，而逻辑 1 则为高电平。如图 3 - 4。

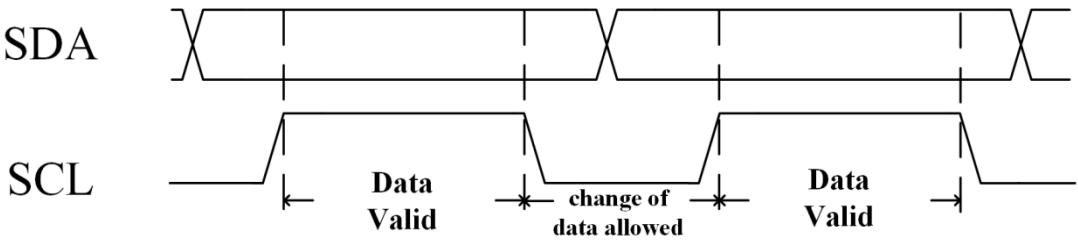


图 3 - 4 I2C Data Transport Description

3.2.4. I2C 时序

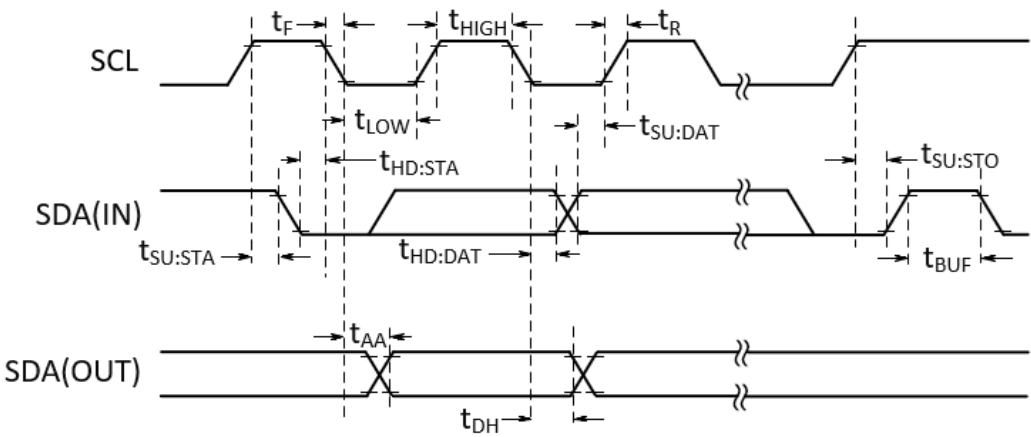


图 3 - 5 I2C 接口时序

表 3 - 1 I2C 接口时序特征

symbol	parameter	min	typ	max	unit
f_{SCL}	clock frequency			400	kHz
t_{LOW}	clock low period	1.3			μs
t_{HIGH}	clock high period	0.6			μs
t_{AA}	SCL low to data out valid	0.1		0.9	μs
t_{BUF}	bus free time before new start	1.3			μs

t _{HD:STA}	start condition hold time	0.6			μs
t _{SU:STA}	start condition setup time	0.6			μs
t _{HD:DAT}	data in hold time	0			μs
t _{SU:DAT}	data in setup time	0.1			μs
t _{SU:STO}	stop condition setup time	0.6			μs
t _R , t _F	I2C rise/fall times			0.3	μs
t _{DH}	data out hold time	0.05			μs

- 1) I2C 时序以 400kHz 模式为基础
- 2) 在上升沿开始或下降沿结束时显示的定时测量为 30%
在上升/下降沿中间显示的定时测量为 50%
计时测量显示在上升沿的末端和/或下降沿的开始表示 70%

3.2.5. RST0139R 寄存器表述方式说明

RST0139R 兼容标准 I2C 协议，采用 8bit 寄存器地址，8bit 数据位宽。

为扩展地址空间，除部分寄存器之外，RST0139R 的寄存器采用分页方式存储，寄存器页码切换由 0xfd 寄存器切换。现就下文中寄存器的表述方式进行说明：

- 1) “P1:0x0e=0x1a”，其中“P1:0x0e”表示 page 1 下的 8’h0e 地址，单等号“=”表示赋值，即“P1:0x0e=0x1a”表示对 page 1 下的 8’h0e 地址写 8’h1a。

对应的实际代码示例：

```
i2c_write(0xfd, 0x01); //切换页码至 1
i2c_write(0x0e, 0x1a); //对 page 1 下的 8’h0e 地址写 8’h1a
```

- 2) “P1:0x18[0]==1”，其中双等号“==”表示判断，即 page 1 下的 8’h18 地址对应寄存器的 bit0 为 1 时。

3.3. 帧时序

在该项目中，快门操作和积分时间如图 3 - 6 所示，横轴为时间序列，纵轴为垂直地址。为了简化，快门和读出操作以行为单位进行记录。

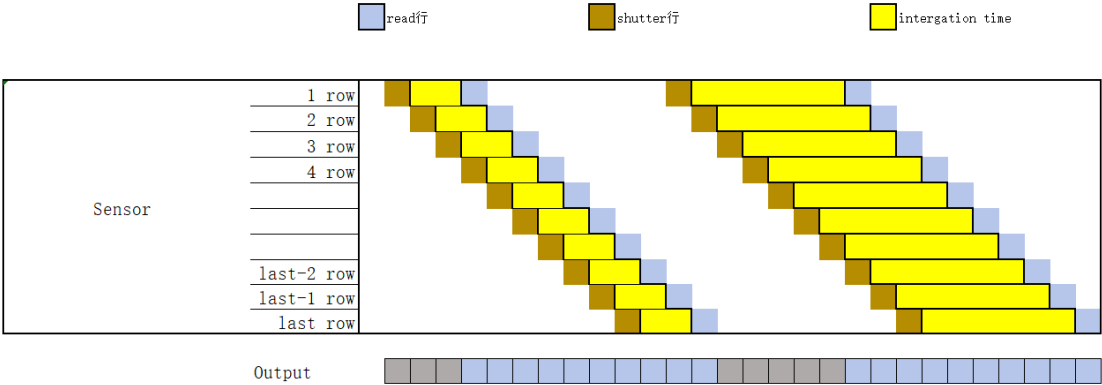


图 3 - 6 Image drawing of shutter operation

积分时间可以通过改变电子快门时间来控制。在电子快门设置中，积分时间由 TEXP 寄存器控制，如图 3 - 7。

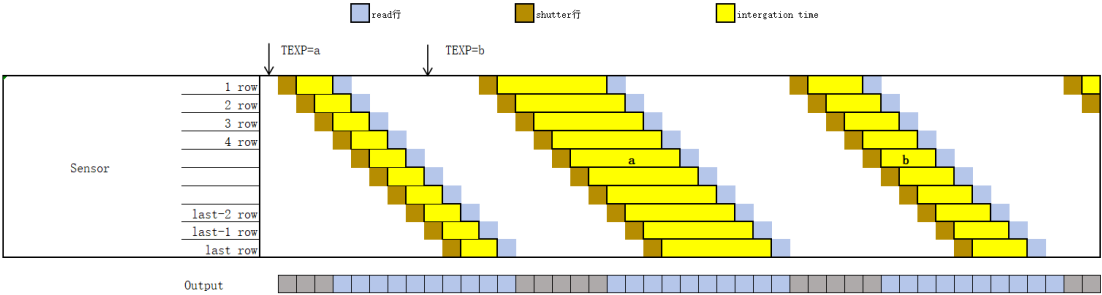


图 3 - 7 Image drawing of integration time control within a frame

3.4. 复位方式

- 该芯片复位包括通过寄存器的软复位和通过 IO 的硬复位。
- 硬复位

RSTN 信号下拉,此时全芯片数字电路全部重置且维持当前状态,直至 RSTN 信号上拉为 1。

 - Softrst（软复位）

向 SOFTRST 寄存器中写入 0x01,系统执行 1237.5ns 的软复位后自动恢复。此时内部产生的时钟、寄存器均被复位，上位机需要重新入芯片初始化参数。

 - Restart

向 RESTART 寄存器中写入 0x01, 系统执行 1278.75ns 的复位后自动恢复。芯片放弃当前帧，即刻重新曝光。所有之前配置的寄存器设置保持不变。

表 3 - 2 复位相关寄存器

Address	Register name	Default	R/W	Description
0xfc	SOFT_RST	0x00	W	Bit[0]:softrst
0xfb	RESTART	0x00	W	Bit[0]:restart

3.5. 待机模式

通过将 PDN 引脚下拉置低电平，芯片进入 powerdown 待机模式，此模式下素有数字、模拟模块关闭，芯片功耗达到 TBD mW。

建议在此模式下同样将 RSTN 拉低。
为了回复正常，需先拉高 PDN、再拉高 RSTN，再通过 I2C 发送芯片初始化指令。

3.6. 成像模式

3.6.1. 普通模式

如需切换至普通模式需向寄存器 EXP_MODE[3:2]写入 2'b00/2'b01（双列读出），传感器工作在普通模式，具体配置如下。

表 3 - 3 linear 模式

Address	Register name	Default	R/W	Description
P1:0x18	EXP_MODE	0x01	R/W	Bit[7:0] EXP_MODE[7:0] Bit[3:2]: 2'b00, DDS, single. 2'b01, DDS, dual. 2'b10: DCG
P6:0x02	RAMP_MODE	0x00	R/W	Bit[7:6]: 2'b00/2'b11: CMS off 2'b01:CMS2X 2'b10:CMS4X Bit[5]: cnt_clk_fdiv =1'b0,div1 cnt_clk_fdiv =1'b1,div2 Bit[4]: dual_en 1'b1:dual,cnt_en_B 有效 1'b0:单列，只要 cnt_en_A 输出 Bit[3]:ramp_clk_fdiv =1'b0,div1 ramp_clk_fdiv =1'b1,div2 Bit[2:1]: 2'b00/2'b11:10bit mode 2'b01:9bit mode

				2'b10: 8bit mode Bit[0]: 1'b0:single ramp 1'b1:dual ramp(HDR)
--	--	--	--	---

3.6.2. HDR 模式

HDR 模式是指一个 pixel 下有两个增益: Low Conversion Gain (LCG)和 High Conversion Gain (HCG)。以此保证图像传感器能在极端弱光条件下捕获图像/视频而不牺牲高光条件下的性能。

在 HDR 模式下, LCG 和 HCG 拥有不同的像素转换增益, 增益倍率约 20, 具体倍率可通过 OTP 读出。

在 HDR 模式下, HCG 和 LCG 数据交替输出, 每行先输出 LCG 数据再输出 HCG 数据, 不同数据在 MIPI 长包的包头中通过 virtual channel (VC 位) 区分; LCG 时 VC 位输出寄存器 VIRTUAL_CHANNEL[1:0], 默认为 2' b00, HCG 时 VC 位输出 VIRTUAL_CHANNEL[3:2], 默认为 2' b01。

向寄存器 EXP_MODE[3:2]写入 0x02, 传感器工作在高动态(HDR)模式, 具体配置如下。

表 3 - 4 HDR 相关寄存器

Address	Register name	Default	R/W	Description
P1:0x18	EXP_MODE	0x01	R/W	Bit[7:0] EXP_MODE[7:0] Bit[3:2]: 2'b00, DDS, single. 2'b01, DDS, dual. 2'b10: DCG
P6:0x02	RAMP_MODE	0x00	R/W	Bit[7:6]: 2'b00/2'b11: CMS off 2'b01:CMS2X 2'b10:CMS4X Bit[5]: cnt_clk_fdiv =1'b0,div1 cnt_clk_fdiv =1'b1,div2 Bit[4]: dual_en 1'b1:dual,cnt_en_B 有效 1'b0:单列, 只要 cnt_en_A 输出 Bit[3]:ramp_clk_fdiv =1'b0,div1 ramp_clk_fdiv =1'b1,div2 Bit[2:1]: 2'b00/2'b11:10bit mode 2'b01:9bit mode 2'b10: 8bit mode Bit[0]: 1'b0:single ramp

				1'b1:dual ramp(HDR)
--	--	--	--	---------------------

3.6.3. 低噪声模式

低噪声模式为相关多采样，不同于普通模式，低噪声模式是对信号进行多次采样；相关多采样模式有 2 次和 4 次模式。

传感器工作到低噪声模式时，需要切换的寄存器主要为 RAMP_MODE（需要切换至 REGPAGE6）、VC_CMS(for virtual_compout_A cms，需要切换至 REGPAGE1)、等，具体如下表。

表 3 - 5 低噪声模式相关寄存器

Address	Register name	Default	R/W	Description
P6:0x02	RAMP_MODE	0x00	R/W	Bit[7:6]: 2'b00/2'b11: CMS off 2'b01:CMS2X 2'b10:CMS4X Bit[5]: cnt_clk_fdiv =1'b0,div1 cnt_clk_fdiv =1'b1,div2 Bit[4]: dual_en 1'b1:dual,cnt_en_B 有效 1'b0:单列，只要 cnt_en_A 输出 Bit[3]:ramp_clk_fdiv =1'b0,div1 ramp_clk_fdiv =1'b1,div2 Bit[2:1]: 2'b00/2'b11:10bit mode 2'b01:9bit mode 2'b10: 8bit mode Bit[0]: 1'b0:single ramp 1'b1:dual ramp(HDR)
P1:0x33	P123	0x12	R/W	virtual_compout_A 第一个脉冲（正常情况下）下降沿与第二个脉冲（指 cms 开启）上升沿的间距
P1:0x34	P124	0x12	R/W	virtual_compout_A 脉冲（指 cms 开启）的脉冲宽度
P1:0x35	P125	0x12	R/W	virtual_compout_A 第二个脉冲（正常情况下）下降沿与第二个脉冲（指 cms 开启）上升沿的间距
P1:0x36	P126	0x12	R/W	virtual_compout_A 脉冲（指 cms 开启）的脉冲宽度
P1:0x37	VC_CMS	0x00	R/W	for virtual_compout_A cms 2'b00/2'b11: CMS off

				2'b01: CMS2x 2'b10: CMS4x
P6:0x83	P66_RST	0x04	R/W	after P66_RST cycle of ramp_clk ,LSB_latch_cms pull up
P6:0x84	P67_RST	0x06	R/W	after P67_RST cycle of ramp_clk ,LSB_latch_cms drop down
P6:0x85	P68_RST	0x06	R/W	after P68_RST cycle of ramp_clk ,LSB_set_cms pull up
P6:0x86	P69_RST	0x08	R/W	after P69_RST cycle of ramp_clk ,LSB_set_cms drop down
P6:0x87	P70_RST	0x08	R/W	after P70_RST cycle of ramp_clk ,BWI_CK2_CAL_cms drop down
P6:0x88	P71_RST	0x0c	R/W	after P71_RST cycle of ramp_clk ,BWI_CK2_CAL_cms pull up
P6:0x89	P66_SIG	0x04	R/W	after P66_SIG cycle of ramp_clk ,LSB_latch_cms pull up
P6:0x8a	P67_SIG	0x06	R/W	after P67_SIG cycle of ramp_clk ,LSB_latch_cms drop down
P6:0x8b	P68_SIG	0x06	R/W	after P68_SIG cycle of ramp_clk ,LSB_set_cms pull up
P6:0x8c	P69_SIG	0x08	R/W	after P69_SIG cycle of ramp_clk ,LSB_set_cms drop down
P6:0x8d	P70_SIG	0x08	R/W	after P70_SIG cycle of ramp_clk ,BWI_CK2_CAL_cms drop down
P6:0x8e	P71_SIG	0x0c	R/W	after P71_SIG cycle of ramp_clk ,BWI_CK2_CAL_cms pull up

3.7. 外部触发模式

3.7.1. 外部曝光

通常情况下 RST0139R 工作在内部曝光模式,即 RST0139R 按照通过 I2C 设定的曝光时间、帧时间,连续曝光、连续出图。

RST0139R 也可工作在外部曝光模式,此模式下,RST0139R 通过 EVSYNC 输入管脚,控制 RST0139R 的曝光时间和帧率。EVSYNC 的上升沿表征曝光开始,下降沿表征曝光结束。曝光结束后 RST0139R 立即输出图像。每个 EVSYNC 脉冲触发一帧成像;如图 3 - 8 所示。

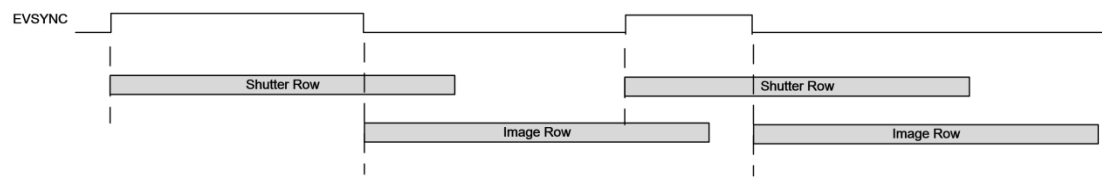


图 3 - 8 外部曝光示意图

外部曝光模式相关寄存器如表 3 - 6 所示；

表 3 - 6 外部曝光相关寄存器

Address	Register name	Default	R/W	Description
P1:0x15	ext_exp_offset	0x00	R/W	Bit[7:0]: ext_exp_offset
P1:0x16	ext_exp_filter	0x01	R/W	Bit[1:0]: ext_exp_filter
P1:0x18	EXP_MODE	0x01	R/W	Bit[7:0] EXP_MODE[7:0] Bit[3:2]: 2'b00, DDS, single. 2'b01, DDS, dual. 2'b10: DCG Bit[0]: exp_mode 1'b0: internal exposure mode 1'b1:external exposure mode
P1:0x26	AGAIN_MODE	0x01	R/W	Bit[2:1]: AGAIN update mode 2'b00: updated for internal exposure mode 2'b01: updated for external exposure mode 2'b10/2'b11: immediately update Bit[0]: AGAIN_en 1'b1: setting Again by AGAIN 1'b0: setting Again by RAMP_RES_CODE and RAMP_BIAS_CODE

外部曝光设置方式：

- 1) 设置 P1:0x18[0]=1， 开启 external exposure mode
- 2) 设置 P1:0x16 设置 EVSYNC 的滤波等级
P1:0x16==0x00: 2 mclkg
P1:0x16==0x01: 4 mclkg
P1:0x16==0x02: 8 mclkg
P1:0x16==0x03: 16 mclkg
- 3) 设置 ext_exp_offset (P1:0x15):
RST0139R 的实际曝光时间 == EVSYNC 宽度 - ext_exp_offset
- 4) 设置 AGAIN 更新方式为 External
P1:0x26=0x03

3.7.2. 外部同步

RST0139R 的外部同步，有两种工作模式：

Master Mode: EVSYNC 作为输出。在 RST0139R 帧头之后输出一个 EVSYNC 脉冲，用做同步支持外部同步的 Slave CIS。可微调功能如下：

- 1) 输出 EVSYNC 极性可调；
- 2) 输出 EVSYNC 脉冲的距离帧头的时间可调。(以 RST0139R 行长为单位)；
- 3) 输出 EVSYNC 脉冲宽度可调 (以 RST0139R row_clk 为单位, default 48MHz)；
- 4) RST0139R 每间隔 N 帧输出一个 EVSYNC 脉冲，N 可调；

Slave Mode: EVSYNC 作为输入，RST0139R 在接收到有效的 EVSYNC 之后，同步 RST0139R 的数据流输出；功能限制，以及可微调功能如下：

限制:RST0139R 的帧时间($S_{Frmtime}$)应尽量接近 FSYNC 的周期($M_{Frmtime}$)，并且 $M_{Frmtime} \geq S_{Frmtime}$ ；仅在内部曝光模式下生效。

- 1) 输入 EVSYNC 极性可调；
- 2) 输入 EVSYNC 可识别的最小宽度可调 (防毛刺)；
- 3) EVSYNC 同步位置可调；(以 RST0139R 行长为单位)
- 4) 主从帧时间误差 $\delta = M_{Frmtime} - S_{Frmtime}$ ，RST0139R 所能容忍的 δ 值可设置。Delta 值超过阈值的帧会被当做首次同步帧；
- 5) 首次同步帧可选删除，且删除帧数可选；
- 6) RST0139R 作为从机，上电并初始化后，在首次接收到 EVSYNC 之前，可选是否输出图像；

外部同步相关寄存器如表 3 - 7 所示：

表 3 - 7 外部同步相关寄存器

Address	Register name	Default	R/W	Description
P0:0x70	FSYNC_COMMC	0x08	R/W	Bit[7:6]: EVSYNC in filter 2'b00: 2 eclk 2'b01: 4 eclk 2'b10: 6 eclk 2'b11: 8 eclk Bit[5]: EVSYNC in polarity 1'b0: active high 1'b1: active low Bit[4]: FSYNC out polarity

				1'b0:active high 1'b1:active low Bit[3] : EVSYNC_oen: 1'b0: Output Enable, active low 1'b1:Output Disable Bit[2]: EVSYNC_ie: 1'b0: Input Disable 1'b1:Input Enable (reserved) Bit[1:0]: reserved
P1:0x80	FSYNC_MODE	0x00	R/W	Bit[1:0]: 2'b00: None EVSYNC mode 2'b01: Slave vblank mode 2'b10: Reserved 2'b11: Master Mode
P1:0x81	FSYNC_M_WIDTH	0x0a	R/W	Bit[7:0]: FSYNC_M_WIDTH 作为 Master 时，输出的 EVSYNC 脉冲宽度
P1:0x82	FSYNC_M_INTERVAL	0x01	R/W	作为 Master 时，输出的 EVSYNC 脉冲间隔
P1:0x83	FSYNC_M_POSITION	0x08	R/W	作为 Master 时，输出 EVSYNC 的相对位置
P1:0x85	FSYNC_S_POSITION	0x08	R/W	作为 Slave 时，同步 EVSYNC 的相对位置
P1:0x86	FSYNC_S_DEL_FRM	0x11	R/W	Bit[7:4]: 1st_sync_threshold（同步阈值，slave 模式下接收到的 EVSYNC 偏离预期位置超过此阈值时，被判定为首次同步） Bit[2:3]: Reserved Bit[1]: del_frm_after_1st_sync（当为 1 时，首次同步之后的帧会被删除） Bit[0]: del_frm_before_1st_sync(当为 1 时，首次同步前，RST0139R 不输出图像)

外部同步基本模式选择如图 3 - 9 所示：

□ I/O control

- Output enable ($P0:0x70[3]$)
 - 1'b0: disable
 - 1'b1: enable
- Output polarity ($P0:0x70[4]$)
 - 1'b0: EVSYNC, active high
 - 1'b1: EVSYNC, active low

□ I/O control

- Input polarity ($P0:0x70[5]$)
 - 1'b0: EVSYNC, active high
 - 1'b1: EVSYNC, active low
- Input filter ($P0:0x70[7:6]$)
 - 2'b00, 2 row_clk
 - 2'b01, 4 row_clk
 - 2'b10, 6 row_clk
 - 2'b11, 8 row_clk

□ Mode control

- $P1:0x80[1:0]$
 - 2'b00, None Fsync Mode
 - 2'b01, Slave Vblank Mode
 - 2'b10, reserved
 - 2'b11, Master Mode

图 3 - 9 外部同步基本模式选择

外部同步 Master 模式，可以调整的设置有：

- 1) 输出 EVSYNC 的极性: FSYNC_M_polarity ($P0:0x70[4]$)
- 2) 输出 EVSYNC 脉冲宽度: FSYNC_M_width ($P1:0x81[7:0]$)
- 3) 输出 EVSYNC 的间隔: FSYNC_M_interval ($P1:0x82[7:0]$)
- 4) 输出 EVSYNC 的相对位置:

FSYNC_M_position ($P1:0x83[7:0]$)

具体设置的对应关系如图 3 - 10 所示：

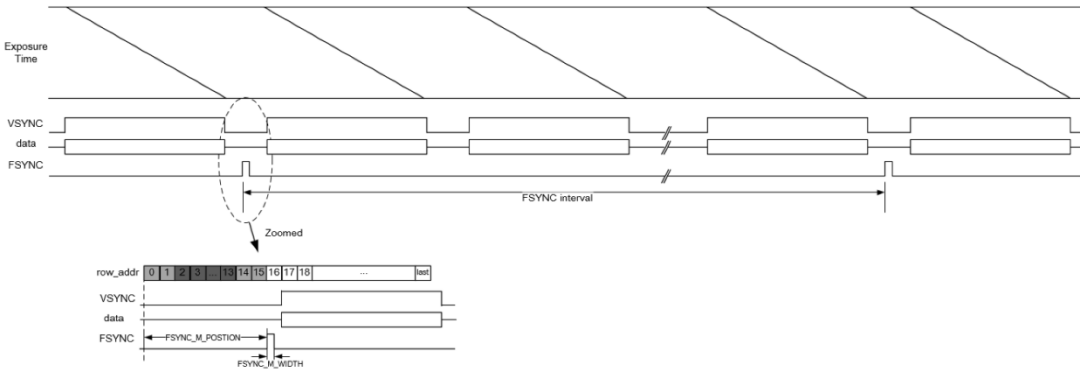


图 3 - 10 外部同步 Master 模式

外部同步 Slave 模式，可以调整的设置有：

- 1) 输入 EVSYNC 的有效极性: FSYNC_S_polarity ($P0:0x70[5]$)
- 2) 输入 EVSYNC 滤波等级(最小脉冲宽度): FSYNC_S_filter($P0:0x70[7:6]$)
 - $P0:0x70[7:6] == 2'b00$: EVSYNC 脉冲宽度小于 2 个 ECLK, 会被忽略;
 - $P0:0x70[7:6] == 2'b01$: EVSYNC 脉冲宽度小于 4 个 ECLK, 会被忽略;
 - $P0:0x70[7:6] == 2'b10$: EVSYNC 脉冲宽度小于 6 个 ECLK, 会被忽略;
 - $P0:0x70[7:6] == 2'b11$: EVSYNC 脉冲宽度小于 8 个 ECLK, 会被忽略;

- 5) 输入 EVSYNC 的相对位置:
FSYNC_S_position (P1:0x85[7:0])
- 6) 主机和从机之间帧时间误差容忍: 1st_sync_threshold (P1:0x86[7:4])
主机从机帧时间(1/fps)误差超过 1st_sync_threshold 会被判定为首次同步, 进而触发删帧
- 7) 行为控制:
> P1:0x86[0]: del_frm_before_1st_sync,
==1'b0, 接收到第一个 EVSYNC 之前, RST0139R 不输出图像;
==1'b1, 接收到第一个 EVSYNC 之前, RST0139R 正常输出图像;
> P1:0x86[1]: del_frm_after_1st_sync
==1'b0, 不删除首次同步帧
==1'b1, 删除被判定为首次同步的帧, 删除帧数由 P1:0x19[3:0]指定;

外部同步 Slave 模式设置示例:

- 1) RST0139R 设置为外部同步 Slave 模式
P1:0x80 = 0x01;
P0:0x70 = 0x4C;
- 2) 可设置首次同步前不出图
- 3) 自第 1 个 EVSYNC 起, RST0139R check EVSYNC 与 FSYNC_S_position 之间的距离 delta, 并调整 RST0139R 的 Vblank (+delta)

例如图 3 - 11 所示, 假设 FSYNC_S_position=3; RST0139R 会检测接收到的 FSYNC 与 FSYNC_S_position 之间的差异, 并在下一帧调整次差异;

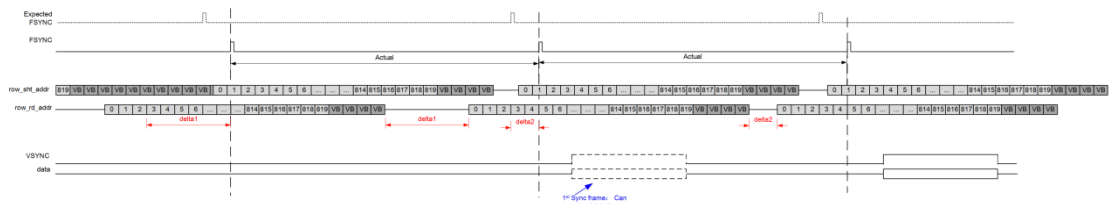


图 3 - 11 外部同步 Slave 模式

外部同步 Slave 模式下的 RST0139R 的曝光误差

RST0139R 在外部同步 Slave 模式下的曝光误差与 FSYNC_S_position 有关, 若按图 3 - 12 所示设置 FSYNC_S_position 到推荐范围, 曝光时间无误差, 且容忍 delta 范围较宽; 否则曝光时间的误差= delta, 即 $M_{Frntime} - S_{Frntime}$ 。

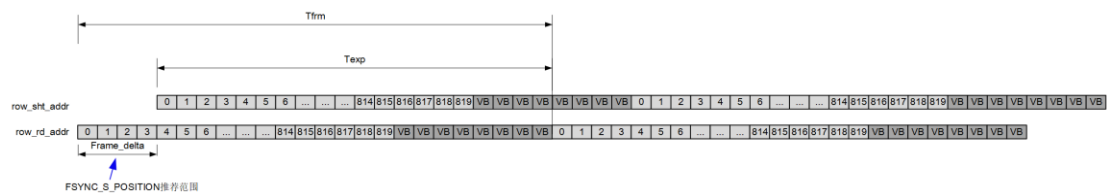


图 3 - 12 FSYNC_S_position 推荐设置范围

注意：

此处的 Frame_delta 由 P1:0x2d 设置，意义为 RST0139R 最大曝光时间与帧时间之间的关系：曝光时间 < 1/fps – Frame_delta

外部同步 Slave 模式异常处理机制

首次同步之前：

如图 3 - 13 所示，可设置为首次同步前，按预先配置输出图像：



图 3 - 13 EVSYNC 首次同步前正常输出图像

如图 3 - 14 所示，可设为首次同步前，不输出图像：

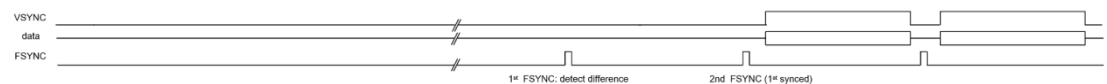


图 3 - 14 EVSYNC 首次同步前不输出图像

首次同步时：

如图 3 - 15 所示，首次同步时，可删除首次同步之后的帧，帧数可配置：

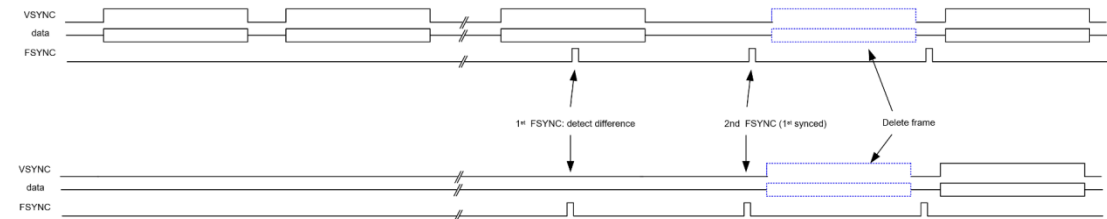


图 3 - 15 EVSYNC 首次同步

同步中途，EVSYNC 严重偏离期望位置（与期望位置偏差超过 1st_sync_threshold）

如图 3 - 16 所示，此时会被当做首次同步来处理：可删除首次同步之后的帧，之后正常同步；

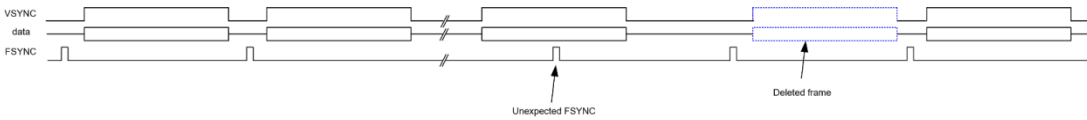


图 3 - 16 EVSYNC 同步中途严重偏离期望位置

4. 功能描述

4.1. 测试图形

传感器内置了测试图形(test pattern)，每个像素值约束如下图所示，其中测试模式可以利用寄存器 TEST_EN(寄存器地址: P4:0x0f)写入 0x01 进入。

典型成像结果如下图。



图 4 - 1 测试图形

表 4 - 1 测试图形寄存器

Address	Register name	Default	R/W	Description
P4:0x0f	TEST_EN	0x00	R/W	Bit[0]:test_en

4.2. 内部测试信号

传感器包含一个 TEST 端口用于信号测试，通过 TEST_SEL_CODE 寄存器可以选择信号测试模式。

表 4 - 2 内部测试信号寄存器

Address	Register name	Default	R/W	Description
---------	---------------	---------	-----	-------------

P0:0x21	TEST_SEL_CODE	0x00	R/W	Bit[5:4]: 2'b00: test pin used for last col SIG input 2'b01: enable analog test output 2'b10: enable digital test output 2'b11: enable current test output Bit[3:0]: select signal to be output in current, analog or digital test mode
---------	---------------	------	-----	---

具体介绍如下：

TEST_SEL_CODE[5:4]:

- 2'b00: test pin used for last col SIG input
- 2'b01: enable analog test output
- 2'b10: enable digital test output
- 2'b11: enable current test output

4.2.1. 内部列电路测试

在 TEST_SEL_CODE[5:4]=2'b00 的情况下，TEST 端口作为输入端，信号送给最后一列像素的 SIG 量化阶段，此信号的 RST 量化仍使用此列像素产生的复位电压。

4.2.2. 内部模拟信号测试

在 TEST_SEL_CODE[5:4]=2'b01 的情况下，TEST 端口的模拟 buffer 工作，通过 TEST_SEL_CODE[3:0]选择要输出的模拟信号，具体如下。

- 4'd0: Vrst_HCG_clamp_buf
- 4'd1: Vsig_HCG_clamp_buf
- 4'd2: Vrst_LCG_clamp_buf
- 4'd3: Vsig_LCG_clamp_buf
- 4'd4: low_voltage_RST
- 4'd5: low_voltage_DCG
- 4'd6: pix_cap_voltage
- 4'd7: ADCin_A<1327>

4'd8: ADCin_B<1327>

4'd9: VrampA

4'd10: VrampB

4.2.3. 内部数字信号测试

在 TEST_SEL_CODE[5:4]=2'b10 的情况下，TEST 端口的数字 buffer 工作，通过 TEST_SEL_CODE[3:0]选择要输出的数字信号，具体如下。

4'd0: compout_A<1327>

4'd1: compout_B<1327>

4'd2: virtual_compout_A_15

4'd3: virtual_compout_B_15

4'd4: PLL_test_15

4'd5: RDT_RST_global_in_15

4'd6: RDT_DCG_global_in_15

4'd7: RDT_TX_global_in_15

4.2.4. 内部电流信号测试

在 TEST_SEL_CODE[5:4]=2'b11 的情况下，TEST 端口输出片内测试电流镜的电流，通过 TEST_SEL_CODE[3:0]选择要输出的电流信号，具体如下。

4'd0: reserved

4'd1: Ibias_test_30u ， 典型情况下输出 30uA 电流 (IPTAT_CTL[3:0]=4'b0110)，可连接 50k 对地电阻测量；

4'd2: pixelbias_current_test ， 典型情况下输出 33uA 电流 (COMC01[2:0]=3'b011)，可连接 50k 对电源的电阻测量；

4'd3: comp_bias_current_test，典型情况下输出 30uA（与 PTAT 相关，IPTAT_CTL[3:0]=4'b0110），可连接 50k 对地电阻测量。

4.3. 时钟调节

4.3.1. PLL

传感器包含一个锁相环（PLL）块，该块根据外部时钟输入生成所有必要的内部时钟。PLL 的内部功能块如下所示。

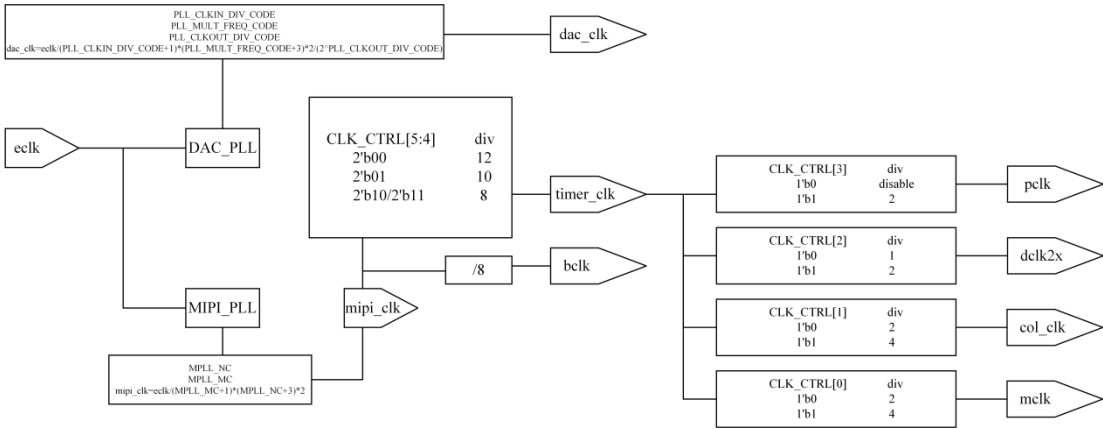


图 4 - 2 PLL 关系图

PLL 内部功能块寄存器的相关寄存器如表 4 - 3。

表 4 - 3 PLL 相关寄存器

Address	Register name	Default	R/W	Description
P0:0x12	PLL_CLKIN_DIV_CODE	0x00	R/W	Bit[2:0]: PLL_CLKIN_DIV_CODE PLL input clk division factor input clk is divided by (PLL_CLKIN_DIV_CODE+1)
P0:0x13	PLL_MULT_FREQ_CODE	0x0a	R/W	Bit[7:0]:PLL_MULT_FREQ_CODE PLL frequency multiplication factor clk is multiplied by (PLL_MULT_FREQ_CODE+3)*2
P0:0x14	PLL_CLKOUT_DIV_CODE	0x00	R/W	Bit[1:0]:PLL_CLKOUT_DIV_CODE PLL output clk division factor output clk is divided by (2^PLL_CLKOUT_DIV_CODE) final output freq is calculated as follows FPLL_clk_out=Feclk/(PLL_CLKIN_DIV_CODE+1)*(PLL_MULT_FREQ_CODE+3)*2/(2^PLL_CLKOUT_DIV_CODE)
P0:0x1c	MPLL_NC	0x11	R/W	Bit[7:0]:MPLL_NC

				PLL frequency multiplication factor clk is multiplied by (MPLL_NC+3)*2
P0:0x1d	MPLL_MC	0x01	R/W	Bit[2:0]:MPLL_MC PLL input clk division factor input clk is divided by (MPLL_MC+1) $MPI_{clk} = eclk / (MPLL_MC + 1) * (MPLL_NC + 3) * 2$
P0:0x27	CLK_CTRL	0x00	R/W	Bit[7]: clk_src_div 1'b0, Ftimer_clk=Ftimer_clk_tmp 1'b1, Ftimer_clk=Ftimer_clk_tmp/2 Bit[6]: 0 Bit[5:4]: bin_ctrl<1:0> 2'b00: raw12, Ftimer_clk=Fmipi_clk/12 2'b01: raw10, Ftimer_clk=Fmipi_clk/10 2'b10: raw8, Ftimer_clk=Fmipi_clk/8 2'b11: reserved Bit[3]: pclk_div, clk for DVP 1'b0: pclk disabled (DVP off) 1'b1: pclk = Ftimer_clk/2 (DVP on) Bit[2]: dclk2x_div, clk for data path 1'b0: dclk2x = Ftimer_clk 1'b1: dclk2x = Ftimer_clk/2 Bit[1]: col_div, clk for col out 1'b0: col_clk = Ftimer_clk/2 1'b1: col_clk = Ftimer_clk/4 Bit[0]: mclkg_div, clk for main timing 1'b0: mclkg = Ftimer_clk/2 1'b1: mclkg = Ftimer_clk/4

表 4 - 4 时钟典型配置表

	输入时钟 6Mhz	输入时钟 12Mhz	输入时钟 24Mhz	输入时钟 27Mhz
PLL_CLKIN_DIV_CODE	0x03	0x03	0x03	0x08
PLL_MULT_FREQ_CODE	0x65	0x31	0x17	0x31
PLL_CLKOUT_DIV_CODE	0x00	0x00	0x00	0x00
MPLL_MC	8bit:0x01 10bit:0x01 12bit:0x01	8bit:0x01 10bit:0x01 12bit:0x01	8bit:0x01 10bit:0x01 12bit:0x01	8bit:0x08 10bit:0x08 12bit:0x08
MPLL_NC	8bit:0x7d 10bit:0x9d 12bit:0x5d	8bit:0x3d 10bit:0x3d 12bit:0x2d	8bit:0x1d 10bit:0x25 12bit:0x15	8bit:0x7d 10bit:0x9d 12bit:0x5d

CLK_CTRL	8bit:0x21	8bit:0x21	8bit:0x21	8bit:0x21
	10bit:0x11	10bit:0x11	10bit:0x11	10bit:0x11
	12bit:0x00/0x08	12bit:0x00/0x08	12bit:0x00/0x08	12bit:0x00/0x08

4.3.2. ADC 位宽与 RAMP 位宽

典型的输入计数时钟为 312MHz, 8bit 模式下要调节为一半频率(156MHz)。

ramp 设定的需求：在设定好以 10bit 为基础的 ramp 波形码值后，根据时钟频率（分频系数决定）和位宽决定实际波形。

计数位宽设定需求：在设定好 ramp 后，根据时钟频率即可计算位宽，但此频率等于输入频率，在数字模块中不调节。综上所述，ramp 时钟分频系数和 ramp 位宽是决定 ADC 计数精度的可调参量。

计算方法如下：

ramp 频率=输入时钟/ramp 分频系数

计数位宽=ramp 位宽+ramp 分频系数-计数分频系数+1

典型计算结果如表 4 - 5。

表 4 - 5 PLL 计数位宽和 ramp 位宽关系

输入时钟 (MHz)	312	312	312	312	312
计数分频系数	1	1	1	1	2
计数时钟 (MHz)	312	312	312	312	156
ramp 分频系数	2	1	1	1	1
ramp 位宽	10	10	9	8	8
计数位宽	12	11	10	9	8
ramp 频率 (MHz)	156	312	312	312	312

4.4. 帧率调节

典型是输入时钟 ECLK 频率为 24MHz，默认按 30fps 执行曝光和读出；

RST0139R 采用逐行的方式执行曝光和读出，其帧长（帧率的倒数）以“行”为单位。如图 4 - 3 所示，帧率的控制方式有：

- 1) 调整帧与帧之间的空行数 VBLANK 来调整帧长（推荐方式）
- 2) 调整 RST0139R 一行的行长（非推荐方式）

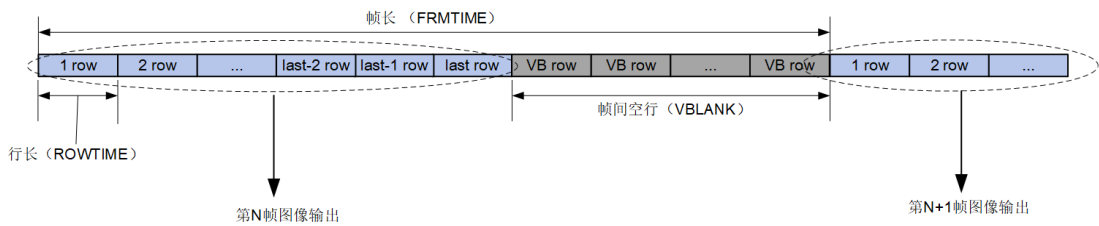


图 4 - 3 RST0139R 帧率示意图

注意：

- 1) 行长 ROWTIME，可由寄存器（{P1:0x29, P1:0x2a}）设置或读出；
- 2) 行长以 mclk_g 时钟周期为单位；
- 3) 行长会影响 RST0139R 的各方面的性能表现，通常情况不推荐修改。若必须要修改，其设置值也应不小于我司所提供配置的对应设置；
- 4) 帧长 FRMTIME 由图像有效行数+VBLANK 决定，RST0139R 计算得到的最终帧长结果，可由寄存器（{P1:0x2b, P1:0x2c}）读出；FRMTIME 为只读寄存器；
- 5) VBLANK 寄存器更改后，需要写 NewSetting（0xfe=0x02）生效；

表 4 - 6 与帧率相关的寄存器

Address	Register name	Default	R/W	Description
P1:0x13	VBLANK	0x00	R/W	Bit[6:0]:VBLANK[14:8]
P1:0x14	VBLANK	0x01	R/W	Bit[7:0]:VBLANK[7:0]
P1:0x29	ROWTIME	0x01	R/W	Bit[2:0]:ROWTIME[10:8]
P1:0x2a	ROWTIME	0x48	R/W	Bit[7:0]:ROWTIME[7:0] 以 mclk _g 为单位的行时间
P1:0x2b	FRMTIME	0x04	R	Bit[7:0]:FRMTIME[15:8]
P1:0x2c	FRMTIME	0x39	R	Bit[7:0]:FRMTIME[7:0] 只读寄存器； 反应当前设置下的帧时间，以 ROWTIME 为单位： FRMTIME=VSIZE+VBLANK+8(dark row)
0xfd	REGPAGE	0x00	R/W	Bit[2:0]: REGPAGE 在写入对应的 REGPAGE 的寄存器时需要先写入对应 PAGE 0x07: Reserved 0x06: REGPAGE6 0x05: REGPAGE5 0x04: REGPAGE4 0x03: Reserved 0x02: REGPAGE2 0x01: REGPAGE1

				0x00: REGPAGE0 全局寄存器
0xfe	RESTART	0x00	W	Bit[1]: NewSetting, 写 1, 以生效部分寄存器 Bit[0]: restart, 写 1, 以放弃当前帧, 立刻生效 写入的配置, 并重新开始一帧曝光 自回零寄存器, 全局寄存器

4.5. 窗选

窗选通过定义 4 个参数，包括水平起点、水平宽度、垂直起点和垂直高度，如图 4 - 4 所示。

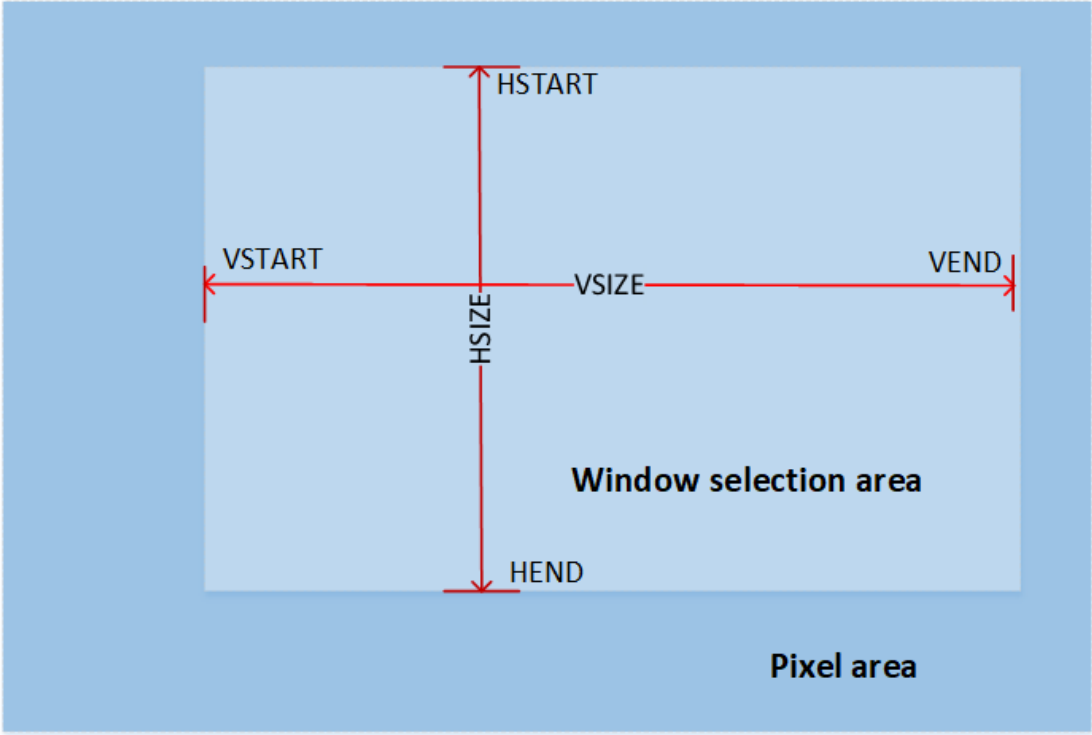


图 4 - 4 窗选示意图

通过正确设置参数，传感器内的部分阵列大小可以裁剪为可见区域。窗选功能不会冲突 FLIP 功能，参数配置如表 4 - 7 和表 4 - 8。

表 4 - 7 行选寄存器

Address	Register name	Default	R/W	Description
P1:0x04	VSTART	0x00	R/W	Bit[2:0]:VSTART[10:8]
P1:0x05	VSTART	0x08	R/W	Bit[7:0]: VSTART[7:0]

				设置设置选窗的行选起始位置，Valid value: 11'h08 ~ 11'h434 (step=4)
P1:0x08	VSIZ	0x04	R/W	Bit[2:0]:VSIZ[10:8]
P1:0x09	VSIZ	0x30	R/W	Bit[7:0]: VSIZ[7:0] 设置选窗的行选尺寸大小，最大值为 1072，即 1072 行，重新设置选窗大小需要复位

表 4 - 8 列选寄存器

Address	Register name	Default	R/W	Description
P4:0x02	HSTART	0x00	R/W	Bit[1:0]:HSTART[9:8]
P4:0x03	HSTART	0x00	R/W	Bit[7:0]: HSTART[7:0] 设置选窗的列选起始位置
P4:0x06	HSIZ	0x02	R/W	Bit[1:0]:HSIZ[9:8]
P4:0x07	HSIZ	0x98	R/W	Bit[7:0]: HSIZ[7:0] 设置选窗的列选尺寸，最大值为 10'd664 即 1328 列，重新设置选窗大小需要复位

4.6. 图像翻转

RST0139R 提供镜像和翻转读出模式，可以分别水平和垂直反转传感器数据的读出顺序，如图 4 - 5 所示。



图 4 - 5 图像翻转示意图

传感器内置的图像翻转功能由 READC 寄存器(寄存器地址: P1:0x12)的值控制，主要有 UPDOWN 和 MIRROR 功能。

图像翻转寄存器使用：

- 1) 寄存器写入 0x01：图像上下翻转（UPDOWN）
- 2) 寄存器写入 0x02：图像左右翻转（MIRROR）
- 3) 寄存器写入 0x03：图像同时上下翻转和左右翻转（MIRROR&UPDOWN）

表 4 - 9 图像翻转寄存器

Address	Register name	Default	R/W	Description
P1:0x12	READC	0x00	R/W	Bit[1]:MIRROR Bit[0]:UPDOWN

4.7. 增益设置

4.7.1. 模拟增益设置

模拟增益主要通过 AGAIN_LCG、AGAIN_HCG、AGAIN_MODE、RAMP_RES_CODE、RAMP_BIAS_CODE 等，当进行模拟增益切换时，需要切换至 REGPAGE1，并且需要刷新（NewSetting，0xfe=0x02),具体如下表。

推荐通过 AGAIN_LCG、AGAIN_HCG （@P1:0x26[0]==1）来设置模拟增益。

表 4 - 10 模拟增益设置相关寄存器

Address	Register name	default	R/W	description
P1:0x20	AGAIN_LCG	0x00	R/W	Bit[0]: AGAIN_LCG[8]
P1:0x21	AGAIN_LCG	0x10	R/W	Bit[7:0]: AGAIN_LCG [7:0] 模拟增益=AGAIN_LCG /16, AGAIN_LCG =0x010 时，模拟增益=1x; AGAIN_LCG =0x011 时，模拟增益=17/16x，以此类推。 ramp gain for LCG (only AGAIN_MODE bit[0]=1) AGAIN_LCG[8:4]<5'h02 ramp_res_code =5'h01 ramp_bias_code =AGAIN_LCG[3:0] AGAIN_LCG[8:4]<5'h04 ramp_res_code =5'h02 ramp_bias_code =AGAIN_LCG[4:1] AGAIN_LCG[8:4]<5'h08 ramp_res_code =5'h04 ramp_bias_code =AGAIN_LCG[5:2] AGAIN_LCG[8:4]<5'h10 ramp_res_code =5'h08 ramp_bias_code = AGAIN_LCG[6:3] AGAIN_LCG[8:4]>5'h10 ramp_res_code =5'h10 ramp_bias_code = AGAIN_LCG[7:4]
P1:0x22	AGAIN_HCG	0x00	R/W	Bit[0]: AGAIN_HCG[8]

P1:0x23	AGAIN_HCG	0x10	R/W	Bit[7:0]: AGAIN_HCG[7:0] 模拟增益=AGAIN_HCG/16, AGAIN_HCG=0x010 时, 模拟增益=1x; AGAIN_HCG=0x011 时, 模拟增益=17/16x, 以此类推。 ramp gain for HCG (only AGAIN_MODE bit[0]=1) AGAIN_HCG[8:4]<5'h02 ramp_res_code = 5'h01 ramp_bias_code = AGAIN_HCG [3:0] AGAIN_HCG [8:4]<5'h04 ramp_res_code = 5'h02 ramp_bias_code = AGAIN_HCG [4:1] AGAIN_HCG [8:4]<5'h08 ramp_res_code = 5'h04 ramp_bias_code = AGAIN_HCG [5:2] AGAIN_HCG [8:4]<5'h10 ramp_res_code = 5'h08 ramp_bias_code = AGAIN_HCG [6:3] AGAIN_HCG [8:4]>5'h10 ramp_res_code = 5'h10 ramp_bias_code = AGAIN_HCG [7:4]
P1:0x24	COMP_GAIN	0x00	R/W	Bit[1:0] COMP_GAIN comp_gain by adjust comparator cap for LCG 2'b00: x1 2'b01: x1.33 2'b10: x2 2'b11: x4
P1:0x25	COMP_GAIN_HCG	0x00	R/W	Bit[1:0] COMP_GAIN_HCG comp_gain by adjust comparator cap for HCG 2'b00: x1 2'b01: x1.33 2'b10: x2 2'b11: x4
P1:0x26	AGAIN_MODE	0x01	R/W	Bit[2:1]: AGAIN update mode 2'b00: updated for internal exposure mode 2'b01: updated for external exposure mode 2'b10/2'b11: immediately update Bit[0]: AGAIN_en 1'b1: setting Again by AGAIN 1'b0: setting Again by RAMP_RES_CODE and RAMP_BIAS_CODE
P1:0x27	RAMP_RES_CODE	0x01	R/W	Bit[4:0]: RAMP_RES_CODE

				ramp gain(only RPC_MODE bit[0]=1'b0), Valid value:5'h01,5'h02,5'h04,5'h08,5'h10
P1:0x28	RAMP_BIAS_CODE	0x00	R/W	Bit[3:0]: RAMP_BIAS_CODE ramp bias code(only RPC_MODE bit[0]=1'b0), Valid value: 4'h0 ~ 4'hf

4.7.2. 数字增益切换

数字增益主要有 DIG_GAIN，当修改此增益时，需要切换至 REGPAGE1,并且需要刷新（NewSetting，0xfe=0x02）。

表 4 - 11 数字增益设置相关寄存器

Address	Register name	Default	R/W	Description
P1:0x90	DIG_GAIN	0x00	R/W	Bit[1:0]: DIG_GAIN 0x03: 8x (增益为 8) 0x02: 4x (增益为 4) 0x01: 2x (增益为 2) 0x00: 1x (增益为 1)

4.8. LCG/HCG 切换

LCG:Low Conversion Gain; HCG:High Conversion Gain。

LCG 与 HCG 的互相切换主要由寄存器 TIMING_SELS0[0]写入切换，并且需要刷新（NewSetting，0xfe=0x02）。

表 4 - 12 LCG/ HCG 切换寄存器

Address	Register name	Default	R/W	Description
P1:0x1a	TIMING_SELS0	0x7c	R/W	Bit[0]: HCG_en 1'b1: HCG 1'b0: LCG

4.9. 曝光时间

该传感器具有可变电子快门功能，可以以行为单位控制积分时间。此外，该传感器执行滚动快门操作，其中对每一行依次执行电子快门和读出操作。

4.9.1. 曝光时间小于一帧

曝光一行的时间计算（Row_Time）：

$$\text{Row_Time} = \text{ROWTIME} / \text{mclk}$$

mclk:时钟的频率，其典型值为 24Mhz。

ROWTIME:行时间定义寄存器地址。

曝光时间计算（Exposure_Time）：

$$\text{Exposure_Time} = \text{TEXP} * \text{Row_Time}$$

TEXP ：积分时间定义寄存器地址

4.9.2. 曝光时间大于一帧

曝光时间（TEXP）的上限值为 FRMTIME - FRMTIME_DELTA，当曝光时间（TEXP）超过上限值时有两种情况：

A：P1:0x18[0]==1 时，帧率优先，优先保证帧率为设置值，钳位曝光时间为 FRMTIME - FRMTIME_DELTA；

$$\text{Exposure_Time} = (\text{FRMTIME} - \text{FRMTIME_DELTA}) * \text{Row_Time}$$

B：P1:0x18[0]==0 时，曝光优先，优先保证曝光时间为设置值，降低帧率。
帧时间（1/fps）扩展为变为(TEXP+ FRMTIME_DELTA)*Row_time；

$$\text{Exposure_Time} = \text{TEXP} * \text{Row_Time}$$

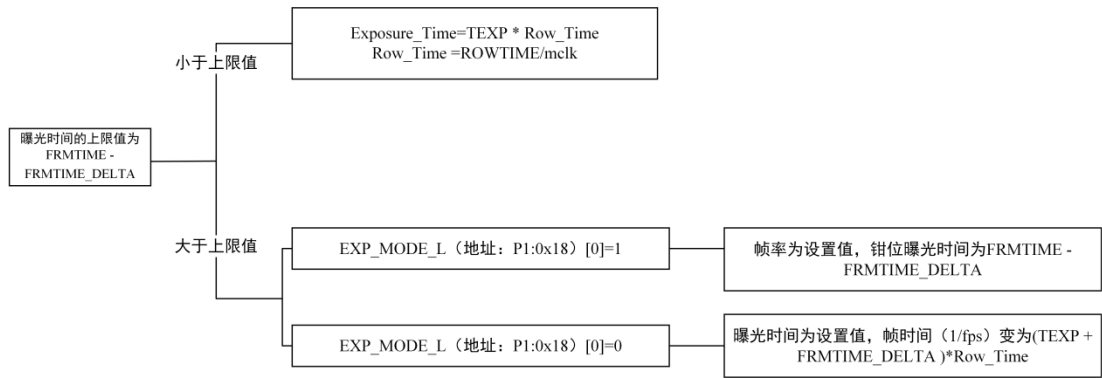


图 4 - 6 曝光时间设置流程

曝光切换主要由 TEXP 和 TEXP_CLK 寄存器控制,当进行曝光时间切换时,需要切换至 REGPAGE1, 并且需要刷新 (NewSetting, 0xfe=0x02), 曝光时间寄存器具体如下表。

表 4 - 13 曝光时间相关寄存器

Address	Register name	Default	R/W	Description
P1:0x0e	TEXP	0x00	R/W	Bit[7:0]:TEXP[15:8]
P1:0x0f	TEXP	0x02	R/W	Bit[7:0]:TEXP[7:0] 以 ROWTIME 为单位的曝光时间
P1:0x10	TEXP_CLK	0x01	R/W	Bit[2:0]:texp_clk[10:8]
P1:0x11	TEXP_CLK	0x00	R/W	Bit[7:0]:texp_clk[7:0] 曝光时间微调, 以 mclk 为单位
P1:0x13	VBLANK	0x00	R/W	Bit[6:0]:VBLANK[14:8]
P1:0x14	VBLANK	0x01	R/W	Bit[7:0]:VBLANK [7:0] 以 ROWTIME 为单位, 调整帧率
P1:0x17	EXP_MODE	0x00	R/W	Bit[0]:EXP_MODE[8] darkrow_oe darkrow output enable ==0: Disable output ==1: Enable output
P1:0x18	EXP_MODE	0x01	R/W	Bit[7:0]:EXP_MODE[7:0] Bit[7]: darkrow order 1'b0: 0,1, 2,3,4,5,2,3,4,5 6,7 1'b1: 0, 1, 6,7 2,3,4,5,2,3,4,5, Bit[6:4]: data_mode 3'b000:12bit 3'b001:11+1bit 3'b010:10bit 3'b011:9+1bit 3'b100:8bit Bit[3:2]: read_mode 2'b00: DDS,single 2'b01: DDS,dual 2'b10: DCG Bit[1]: exp_mode 1'b0:internal exposure mode 1'b1:external exposure mode Bit[0]: FPSHIP 1'b0:曝光时间优先: 当曝光时间大于设置的帧率允许的最大曝光时间时, 帧率会随曝光时间增加而等比例下降;

				1'b1:帧率优先: 当曝光时间大于设置的帧率允许的最大曝光时间时, 曝光时间会被钳位至 FRMTIME - FRMTIME_DELTA
P1:0x29	ROWTIME	0x01	R/W	Bit[2:0]:ROWTIME[10:8]
P1:0x2a	ROWTIME	0x48	R/W	Bit[7:0]:ROWTIME[7:0] 以 mclk 为单位的行时间
P1:0x2b	FRMTIME	0x04	R	Bit[7:0]:FRMTIME[15:8]
P1:0x2c	FRMTIME	0x39	R	Bit[7:0]:FRMTIME[7:0] 只读寄存器; 反应当前设置下的帧时间, 以 ROWTIME 为单位:
P1:0x2d	FRAME_DELTA	0x03	R/W	相当于 frmtime 的 offset, 最大曝光行 = FRMTIME - FRMTIME_DELTA

4.10. 暗电平校正

RST0139R 暗电平校准功能会补偿暗电流, 以确保曝光时间、增益、读出模式、数据模式变化时和 LCG/HCG 切换、普通模式与 HDR 模式切换时输出黑电平恒定。

4.10.1. 暗区坏点校正

暗行像素会先经过中值滤波, 使用五点滤波法来消除暗行中的坏点。可以利用寄存器 MF_ABS_DIFFER(寄存器地址:P4:0x13 和 P4:0x14)来改变是否替换的阈值(绝对值); 中值的计算方法为该像素和同通道的前后各两个像素算出中值, 中值在和该像素比较, 绝对值大于 MF_ABS_DIFFER 配置值则用中值替换该像素。

表 4 - 14 暗区坏点校正相关寄存器

Address	Register name	Default	R/W	Description
P4:0x13	MF_ABS_DIFFER	0x08	R/W	Bit[4:0]: MF_ABS_DIFFER [12:8]
P4:0x15	MF_ABS_DIFFER	0x00	R/W	Bit[7:0]: MF_ABS_DIFFER [7:0]

4.10.2. OB 统计公式

OB 统计公式为:

$$OB = K \times (OB1 - OB2) + OB2 + blc_rpc \times Again$$

$$OB_{max} = BLC_DC_LIMIT \text{ (寄存器地址:P4:0x15 和 P4:0x16)}$$

其中, OB1 是 TXon 的 darkrow 输出统计, OB2 是 TXoff 的 darkrow 输出统计 (用于 offset), 8bit 整数 (-256~+255), 7bit 小数。

寄存器 CTRL_OB[5](寄存器地址:P4:0x0b)为 ob2_en:

ob2_en==1 时, 公式中 OB2 为有效统计值;

ob2_en==0 时, 关闭 OB2, 即用 0 替代 OB2;

Again 为模拟增益 (寄存器地址为: P4:0x35 和 P4:0x36, 写入 0x010 为 1x, 0x020 为 2x, 0x100 为 16x)。

K 值: 各个 K 值都为 9bit, 其中有 1bit 整数和 8bit 小数, 其取值范围为 9'b0_1000_0000~9'b1_0111_1111 表示 (128/256) ~ (383/256), 步长为 1/256, K 值在普通模式下使用的 5 个寄存器分别为 K_RED(寄存器地址:P4:0x20 和 P4:0x21)、K_GREEN(寄存器地址:P4:0x22 和 P4:0x23)、K_NIR(寄存器地址:P4:0x24 和 P4:0x25)、K_BLUE(寄存器地址:P4:0x26 和 P4:0x27)、K_WHITE(寄存器地址:P4:0x28 和 P4:0x29), 在 dcg 模式下使用全部 10 个寄存器分别为 K_RED(寄存器地址:P4:0x20 和 P4:0x21)、K_GREEN(寄存器地址:P4:0x22 和 P4:0x23)、K_NIR(寄存器地址:P4:0x24 和 P4:0x25)、K_BLUE(寄存器地址:P4:0x26 和 P4:0x27)、K_WHITE(寄存器地址:P4:0x28 和 P4:0x29)、K_RED_D(寄存器地址:P4:0x2a 和 P4:0x2b)、K_GREEN_D(寄存器地址:P4:0x2c 和 P4:0x2d)、K_NIR_D(寄存器地址:P4:0x2e 和 P4:0x2f)、K_BLUE_D(寄存器地址:P4:0x30 和 P4:0x31)、K_WHITE_D(寄存器地址:P4:0x32 和 P4:0x33)。

blc_rpc 为模拟增益校正系数 (寄存器地址为:P4:0x34), blc_rpc 为 7bit 其中有 1bit 符号位、1bit 整数和 5bit 小数 7'b110_0000~7'b001_1111 表示 - (32/32) ~ + (31/32), 步长为 1/32。

表 4 - 15 OB 统计公式相关寄存器

Address	Register name	Default	R/W	Description
P4:0x15	BLC_DC_LIMIT	0x03	R/W	Bit[1:0]: BLC_DC_LIMIT[9:8]
P4:0x16	BLC_DC_LIMIT	0xff	R/W	Bit[7:0]: BLC_DC_LIMIT[7:0]
P4:0x20	K_RED	0x01	R/W	Bit[0]: K_RED [7:0]

P4:0x21	K_RED	0x00	R/W	Bit[7:0]: K_RED [7:0]
P4:0x22	K_GREEN	0x01	R/W	Bit[0]: K_GREEN [9:8]
P4:0x23	K_GREEN	0x00	R/W	Bit[7:0]: K_GREEN [7:0]
P4:0x24	K_NIR	0x01	R/W	Bit[0]: K_NIR [8]
P4:0x25	K_NIR	0x00	R/W	Bit[7:0]: K_NIR [7:0]
P4:0x26	K_BLUE	0x01	R/W	Bit[0]: K_BLUE [8]
P4:0x27	K_BLUE	0x00	R/W	Bit[7:0]: K_BLUE [7:0]
P4:0x28	K_WHITE	0x01	R/W	Bit[0]: K_WHITE [8]
P4:0x29	K_WHITE	0x00	R/W	Bit[7:0]: K_WHITE [7:0]
P4:0x2a	K_RED_D	0x01	R/W	Bit[0]: K_RED_D [8]
P4:0x2b	K_RED_D	0x00	R/W	Bit[7:0]: K_RED_D [7:0]
P4:0x2c	K_GREEN_D	0x01	R/W	Bit[0]: K_GREEN_D [8]
P4:0x2d	K_GREEN_D	0x00	R/W	Bit[7:0]: K_GREEN_D [7:0]
P4:0x2e	K_NIR_D	0x01	R/W	Bit[0]: K_NIR_D [8]
P4:0x2f	K_NIR_D	0x00	R/W	Bit[7:0]: K_NIR_D [7:0]
P4:0x30	K_BLUE_D	0x01	R/W	Bit[0]: K_BLUE_D [8]
P4:0x31	K_BLUE_D	0x00	R/W	Bit[7:0]: K_BLUE_D [7:0]
P4:0x32	K_WHITE_D	0x01	R/W	Bit[0]: K_WHITE_D [8]
P4:0x33	K_WHITE_D	0x00	R/W	Bit[7:0]: K_WHITE_D [7:0]
P4:0x34	BLC_RPC	0x00	R/W	Bit[6:0]: BLC_RPC
P4:0x35	A_GAIN	0x00	R/W	Bit[3:0]: A_GAIN [11:8]
P4:0x36	A_GAIN	0x10	R/W	Bit[7:0]: A_GAIN [7:0]

4.10.3. OB 多帧统计

多帧迭代有 1/4/8 帧平均三种模式可选，寄存器为 CTRL_OB[3:2]（寄存器地址为 0x0b），00 为 1 帧迭代，10 为 4 帧迭代，11 为 8 帧迭代。

不同迭代模式下其他功能都不受影响，无论什么模式，OB 统计值（OB_{st}）一直在实时计算，只有满足某些触发条件时，BLC 采用新的统计值进行更新，OB_{st}→OB_{eff}（OB 生效值），并从第几帧更新和连续更新的帧数可设置。

触发的条件包括：

(1)增益变化

(2)曝光变化

(3)Mean 值变化：abs（白色像素的 OB_{st}-OB_{eff}）>OB_WHITE_DIFFER（寄存器地址为 0x37）

(4)HCG/LCG 模式变化

- (5)数字增益改变
- (6)数据模式改变
- (7)读出模式改变
- (8)DDS/DCG 切换
- (9)模拟增益改变

Freeze 功能：开启后 freeze 当前 OB 统计值（寄存器地址为 P4:0x0b，CTRL_OB[0]），优先级最高开启后上述条件发生后，OB 值不会变化；

OB_en: 手动更新，可设置几帧后生效（寄存器地址为 P4:0x0b，CTRL_OB[1]），优先级第二，开启后不理睬条件触发。

表 4 - 16 OB 统计区域相关寄存器

Address	Register name	Default	R/W	Description
P4:0x37	OB_WHITE_DIFFER	0x32	R/W	Bit[7:0]: OB_WHITE_DIFFER 白色 ob 值统计值与有效值之差是否触发 trigger 的阈值（绝对值）
P4:0x38	OB_FRAME_DLY	0x00	R/W	Bit[7:0]: OB_FRAME_DLY 可设定 trigger 发生后延迟 OB_FRAME_DLY 帧再替换 ob 值（统计值给到生效值）
P4:0x39	OB_FRAME_SUC	0x00	R/W	Bit[7:0]: OB_FRAME_SUC 可设定 trigger 发生后 1+OB_FRAME_SUC 帧进行连续 ob 值替换

4.10.4. 像素计算

Pixel 校正输出计算公式为：

$$\text{Pixel} = \text{Dig_gain} \times (\text{Pix} - \text{OBeff}) + \text{offset} + \text{random}$$

Pix 为 active 区域像素输出值；

Dig_gain 有四档（1x、2x、4x 和 8x）；

offset 为有符号数，范围-256~255，写入时使用原码（寄存器地址为：P4:0x09 和 P4:0x0a）；

random 为 5bit 正小数，在 random 功能开启时生效（寄存器地址为 P4:0x0b，CTRL_OB[4]）

表 4 - 17 BLC 像素计算寄存器

Address	Register name	Default	R/W	Description
P4:0x09	OFFSET	0x00	R/W	Bit[2:0]: OFFSET[10:8]

P4:0x0a	OFFSET	0x00	R/W	Bit[7:0]: OFFSET[7:0]
---------	--------	------	-----	-----------------------

4.10.5. BLC 与 Darkrow 输出

Darkrow 输出时需要将寄存器 EXP_MODE_H[0]和 EXP_MODE_L[7]写入 1，并且关闭 BLC 功能。

当 Darkrow 不输出时，可以选择开启或关闭 BLC 功能。

表 4 - 18 BLC 寄存器

Address	Register name	Default	R/W	Description
P4:0x0b	CTRL_OB	0x00	R/W	Bit[5:0]:CTRL_OB Bit[5]: OB2_EN 1'b0: ob2 为 0 1'b1:为正常统计值 Bit[4]: random 随机数功能 1'b1 on 1'b0 off Bit[3:2]: 帧迭代 2'b11 : 8 帧迭代（中值滤波） 2'b10 : 4 帧迭代（中值滤波） 2'b01 : reserved 2'b00 : 1 帧迭代（中值滤波） Bit[1]: OB_en, 1'b1 可设在几帧后一直替换 ob 值 (OB_FRAME_DLY 配置延迟的帧数) 1'b0 off Bit[0]: freeze 1'b1 freeze 当前的 ob 生效值 1'b0 正常更新 ob
P4:0x0c	BLC_CTRL	0x00	R/W	Bit[1:0]: BLC_CTRL Bit[1]: reserved Bit[0]: BLC_EN, BLC 功能使能。

4.11. OTP

RST0139R 总共有 256 个字节的 OTP 内存。通电后可以向 OTP 空间中写入数据和读出 OTP 中的数据。

4.11.1. OTP 写入数据（Program）的操作步骤

- (1) 写入数据前需要 VPP 建立完善，具体时序如图 4 - 7 和表 4 - 19
- (2) 确定 OTP_BUSY（P0:0x8c）==0(OTP not busy)
- (3) 向寄存器 ADDR_PGM（P0:0x80）写入需要写入数据的 OTP 地址；向寄存器 DATA_PGM（P0:0x81）写入需要写入 OTP 的数据
- (4) 向寄存器 OTP_CTRL（P0:0x83）写入 0x01
- (5) 向寄存器 OTP_CTRL 写入 0x00
- (6) OTP_BUSY==0(OTP not busy)时写入完成，可以开始下一次写入或读出

OTP 写入时序：

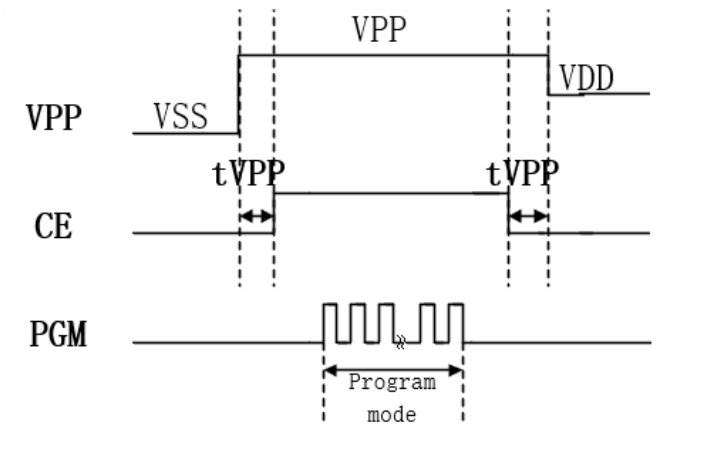


图 4 - 7 VPP 建立时序

表 4 - 19 VPP 建立的时序参数

symbol	min.	typ.	max.	unit
tVPP	0	-	-	s

$tVPP = T_{eclk} \times OTP_P0$ （寄存器地址为：P0:0x84），其中 T_{eclk} 为芯片输入时钟 $eclk$ 的一个时钟周期。

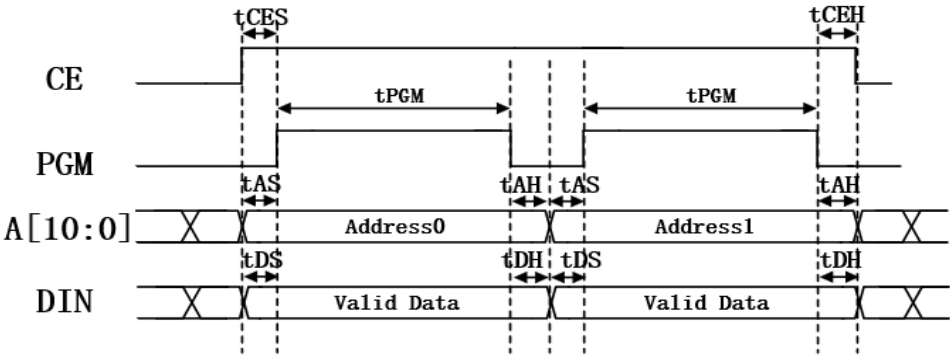


图 4 - 8 OTP 写入时序图

表 4 - 20 OTP 写入时序参数

symbol	min.	typ.	max.	unit
tCES	50	-	-	ns
tAS	50	-	-	ns
tDS	50	-	-	ns
tAH	50	-	-	ns
tDH	50	-	-	ns
tCEH	50	-	-	ns
tPDM	200	210	220	us

$t_{CES} = T_{clk} * OTP_P1$ (寄存器地址为: P0:0x85)
 t_{AS} 和 t_{DS} 都与 t_{CES} 一致且均由寄存器 OTP_P1 控制
 $t_{PDM} = T_{clk} * OTP_P2$ (寄存器地址为: {P0:0x86,P0:0x87})
 $t_{AH} = T_{clk} * OTP_P3$ (寄存器地址为: P0:0x88)
 t_{CEH} 和 t_{DH} 都与 t_{AH} 一致且均由寄存器 OTP_P3 控制
 其中 T_{clk} 为芯片输入时钟 $eclk$ 的一个时钟周期

4.11.2. OTP 读取数据 (READ) 的操作步骤

- (1) 确定 $OTP_BUSY == 0$ (OTP not busy)
- (2) 向寄存器 ADDR_READ (P0:0x82) 写入需要读出数据的 OTP 地址
- (3) 向寄存器 OTP_CTRL 写入 0x02
- (4) 向寄存器 OTP_CTRL 写入 0x00
- (5) 在 $OTP_BUSY == 0$ (OTP not busy) 时读出完成, 读出寄存器 DOUT_OTP_CONTROLLER (P0:0x8d) 存储的数据即为有效数据

OTP 读出时序:

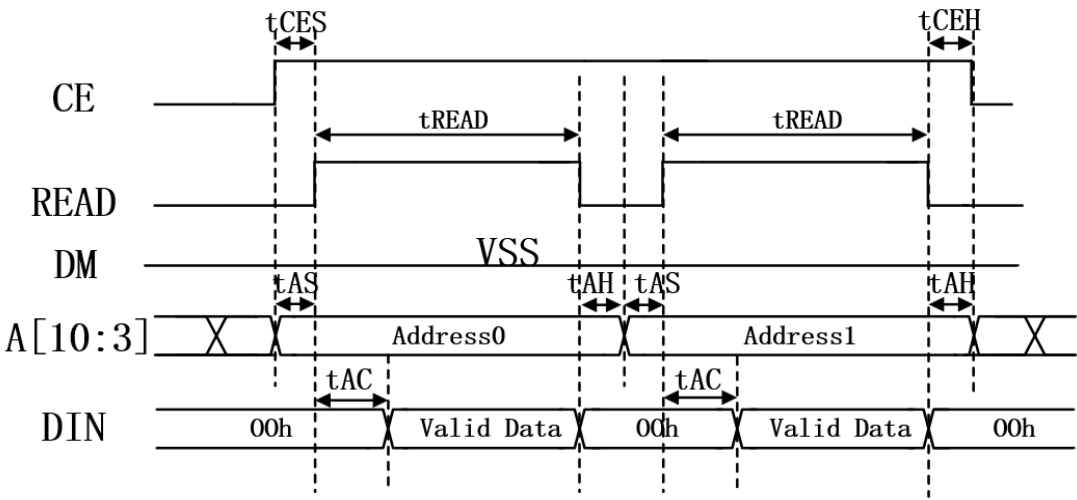


图 4 - 9 OTP 读出时序图

表 4 - 21 OTP 读出时序参数

symbol	min.	typ.	max.	unit
tCES	50	-	-	ns
tAS	50	-	-	ns
tREAD	440	450	-	ns
tAH	50	-	-	ns
tAC	-	-	400	ns
tCEH	50	-	-	ns

$t_{CES} = T_{clk} * OTP_P4$ (寄存器地址为: P0:0x89)

t_{AS} 和 t_{CES} 一致且都由寄存器 OTP_P4 控制

$t_{READ} = T_{clk} * OTP_P5$ (寄存器地址为: P0:0x8a)

$t_{CEH} = T_{clk} * OTP_P6$ (寄存器地址为: P0:0x8b)

t_{AH} 和 t_{CEH} 一致且都由寄存器 OTP_P6 控制

t_{AC} 为 OTP 模块输出数据的反应时间, 最大为 400ns

其中 T_{clk} 为芯片输入时钟 $eclk$ 的一个时钟周期

4.11.3. OTP detection mode (DM) 的操作步骤

- (1) 确定 $OTP_BUSY == 0$ (OTP not busy)
- (2) 向寄存器 OTP_CTRL 写入 0x04

- (3) 向寄存器 ADDR_READ 写入需要读出数据的 OTP 地址
- (4) 向寄存器 OTP_CTRL 写入 0x06
- (5) 向寄存器 OTP_CTRL 写入 0x04
- (6) OTP_BUSY == 0 (OTP not busy) 时读出完成，读出寄存器 DOUT_OTP_CONTROLLER 存储的数据即为有效数据，OTP detection mode 和 OTP read 基本一致，只是 DM 一直拉高，注意 DM 拉高时 OTP 不能写入数据。

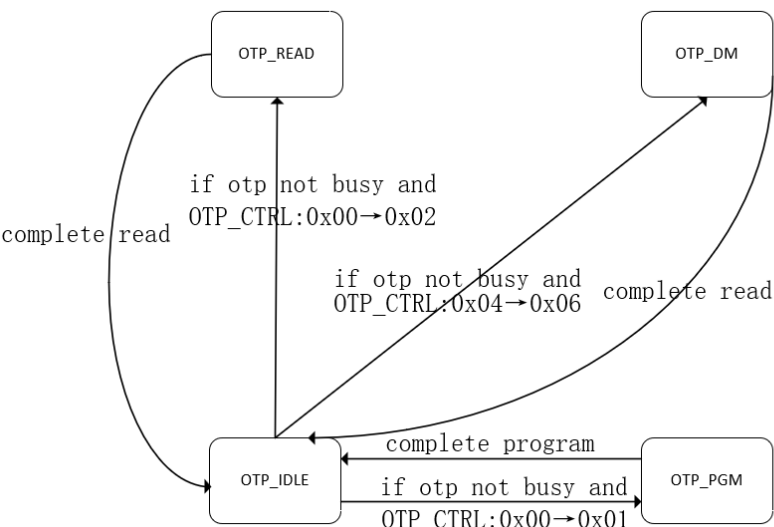


图 4 - 10 OTP 操作流程图

OTP 寄存器列表如下：

表 4 - 22 OTP 控制模块相关寄存器

Address	Register Name	Default	R/W	Description
P0:0x83	OTP_CTRL	0x00	R/W	Bit0: start_program（下一次写入前需拉低） Bit1: start_read（下一次读出前需拉低） Bit2: i_dm（detection mode）
P0:0x84	OTP_P0	0x01	R/W	Bit[7:0]: OTP_P0[7:0] otp_vppsw 拉高后 OTP_P0 个 eclk 周期后 otp_ce 拉高，otp_ce 拉低后 OTP_P0 个 eclk 周期后 otp_vppsw 拉低
P0:0x85	OTP_P1	0x02	R/W	Bit[7:0]: OTP_P1 otp_vppce 拉高后 OTP_P1 个 eclk 周期后 otp_pgm 拉高（min=2）
P0:0x86	OTP_P2	0x13	R/W	Bit[4:0]: OTP_P2[12:8]
P0:0x87	OTP_P2	0xb0	R/W	Bit[7:0]: OTP_P2[7:0]
P0:0x88	OTP_P3	0x02	R/W	Bit[7:0]: OTP_P3[7:0]
P0:0x89	OTP_P4	0x02	R/W	Bit[7:0]: OTP_P4[7:0]

P0:0x8a	OTP_P5	0x0c	R/W	Bit[7:0]: OTP_P5[7:0]
P0:0x8b	OTP_P6	0x02	R/W	Bit[7:0]: OTP_P6[7:0]
P0:0x8c	OTP_BUSY	0x00	R	Bit[0]: OTP_BUSY
P0:0x8d	DOUT_OTP_CONTRO LLER	0x00	R	Bit[7:0]: DOUT_OTP_CONTROLLER[7:0]

5. 读出接口

该芯片包含 MIPI 和 DVP 两种数据接口。

5.1. DVP 接口

DVP 数据输出包括如下接口：

- 1 x PCLK
- 1 x HSYNC
- 1 x VSYNC
- 12 x DATA

其中 PCLK 用于数据同步，VSYNC 和 HSYNC 表征帧有效、行有效，DATA 为实际像素量化的数据。DVP 接口时序如下：

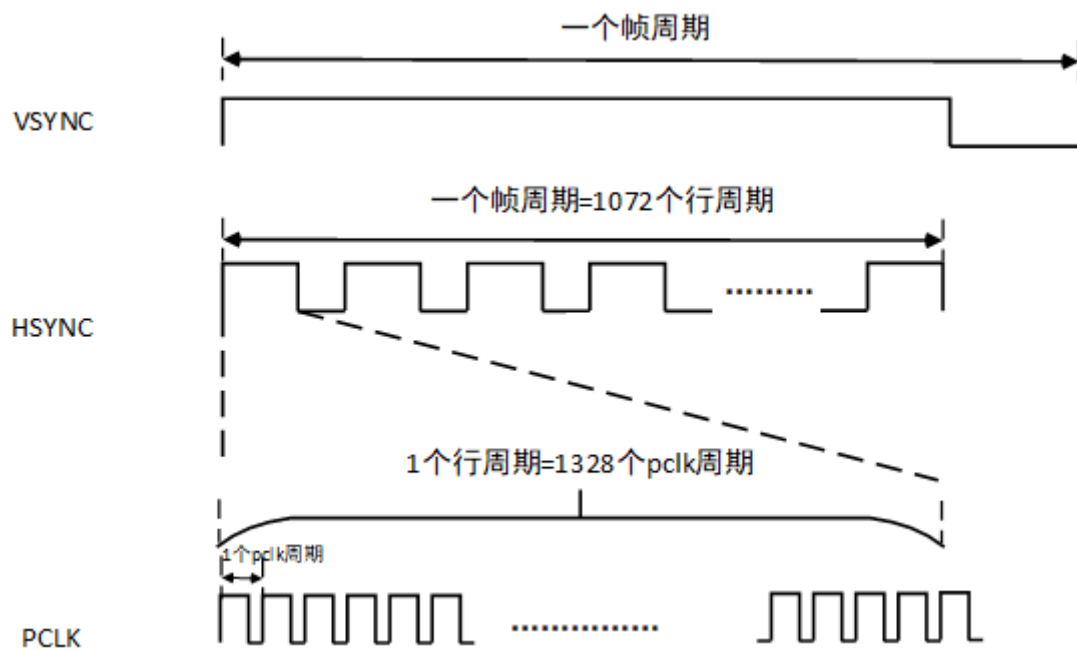


图 5 - 1 DVP 接口时序

该芯片支持 8bit、10bit、12bit 输出，未用到的 DATA 接口输出 0。DVP 仅支持 DDS 和 CMS 读出模式，典型时钟频率为 48MHz，最高 96MHz。

切换至 DVP 接口主要需要写入的寄存器如下表。

表 5 - 1 DVP 相关寄存器

Address	Register name	Default	R/W	Description
P0:0x25	DVP_DATA_MODE	0x00	R/W	Bit[0]: DVP_DATA_MODE 1'b0: always using high end 10bit: data<11:2>, 8bit: data<11:4>; (@MIPI mode, must set DVP_DATA_MODE[0] == 1'b0) 1'b1: always using low end 10bit: data<9:0>, 8bit: data<7:0>.
P0:0x27	CLK_CTRL	0x00	R/W	Bit[7]: clk_src_div 1'b0, Ftimer_clk=Ftimer_clk_tmp 1'b1, Ftimer_clk=Ftimer_clk_tmp/2 Bit[6]: 0 Bit[5:4]: bin_ctrl<1:0> 2'b00: raw12, Ftimer_clk=Fmipi_clk/12 2'b01: raw10, Ftimer_clk=Fmipi_clk/10 2'b10: raw8, Ftimer_clk=Fmipi_clk/8 2'b11: reserved Bit[3]: pclk_div, clk for DVP 1'b0: pclk disabled (DVP off) 1'b1: pclk = Ftimer_clk/2 (DVP on) Bit[2]: dclk2x_div, clk for data path 1'b0: dclk2x = Ftimer_clk 1'b1: dclk2x = Ftimer_clk/2 Bit[1]: col_div, clk for col out 1'b0: col_clk = Ftimer_clk/2 1'b1: col_clk = Ftimer_clk/4 Bit[0]: mclkg_div, clk for main timing 1'b0: mclkg = Ftimer_clk/2 1'b1: mclkg = Ftimer_clk/4
P4:0x10	MIPI_EN	0x00	R/W	Bit[1]: mipi_update_mode 1'b1 for mipi_en updated immediately 1'b0 for mipi_en updated sync with vsync Bit[0]: mipi_en

5.2. MIPI 接口

该芯片支持 2lane 的 MIPI 数据读出，根据输出位宽（8、10、12bit）和输出通道数量不同，数据接口最高为 960Mbps/lane。

MIPI 接口连接关系如下：

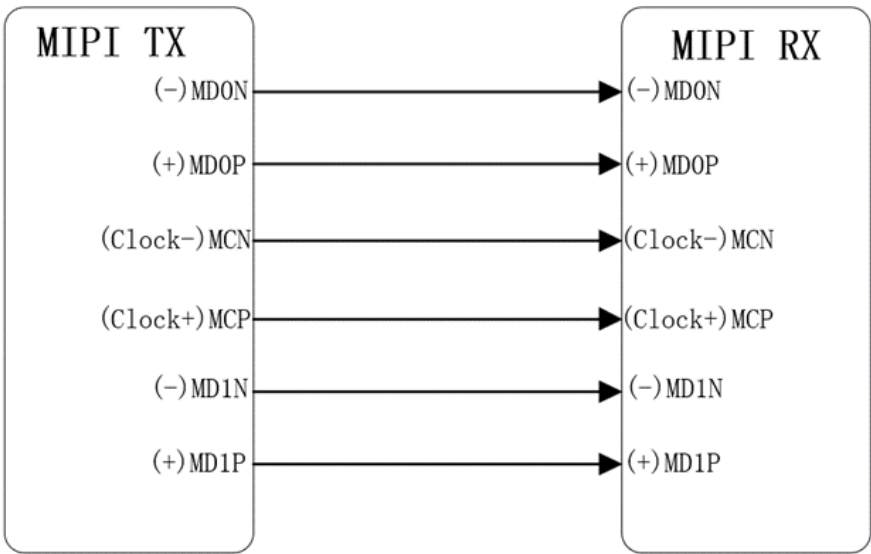


图 5 - 2 MIPI 接口连接方式

D-PHY 功能

D-PHY 将数据从 MIPI_TX 转换为与 MIPI 协议兼容的串行数据。详细的时间序列如下：

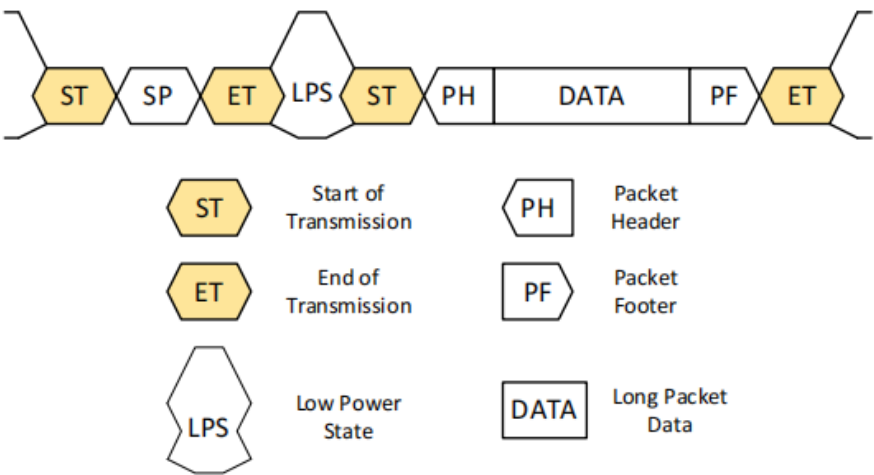


图 5 - 3 MIPI 底层数据包示意图

图 5 - 3 是 MIPI 底层数据包的简略示意图，其中分别展示了一个短数据包和长数据包的传输过程。图 5 - 4 展示了 MIPI 长、短数据包结构示意图。其中数

据标识 DI(Data Identifier)用来区分不同的数据包类型。图 5 - 5 展示了 MIPI 工作在 1lane、2lane 模式下的数据包传输示意图。图 5 - 6 中，DI 包括两部分，分别是虚拟通道（VC）和数据类型（DT）。默认情况下，Sensor 给出的 MIPI 数据 VC 值都是 0，而 DT 值如表 5 - 2 所示。

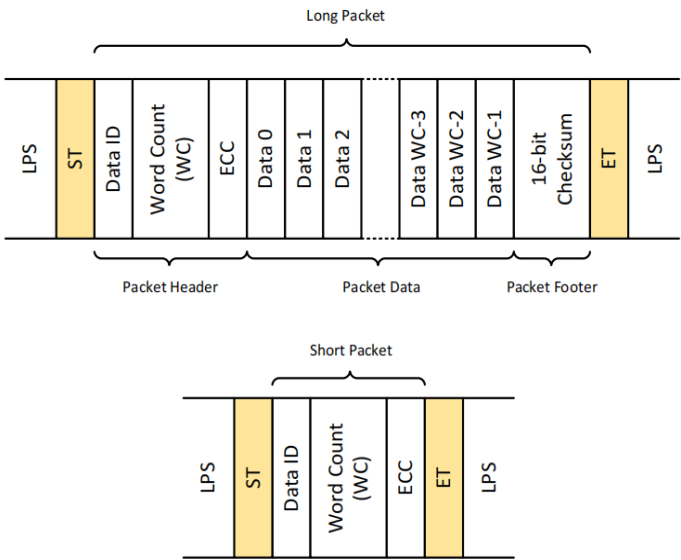
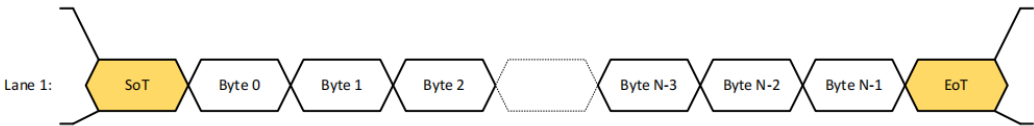


图 5 - 4 MIPI 底层数据包示意图

MIPI 1-Lane Mode



MIPI 2-Lane Mode

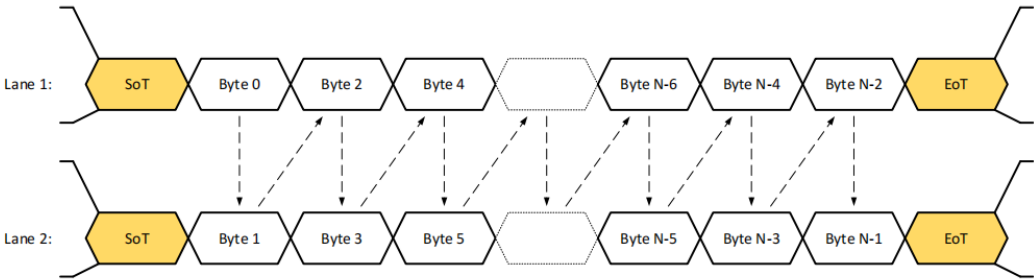


图 5 - 5 MIPI 1/2 Lane 模式数据包传输示意图

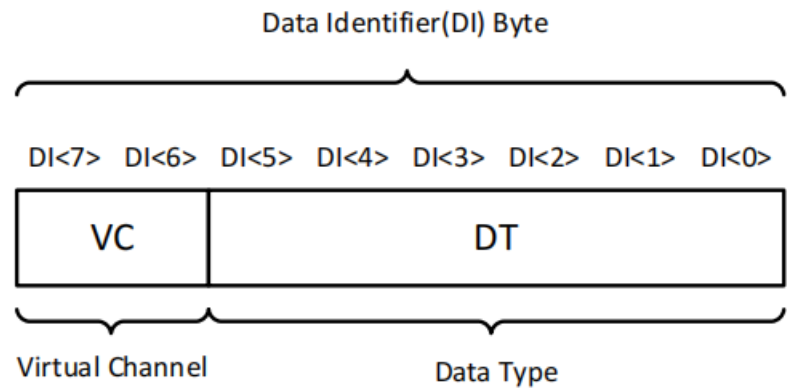


图 5 - 6 MIPI 数据包 DI 结构

表 5 - 2 MIPI 数据类型

DT	描述
6'h00	帧起始短包
6'h01	帧结束短包
6'h02	行起始短包
6'h03	行结束短包
6'h2a	8-Bit 模式下数据长包
6'h2b	10-Bit 模式下数据长包
6'h2c	12-Bit 模式下数据长包

D-PHY 将数据从 MIPI_TX 转换为与 MIPI 协议兼容的串行数据，详细的时序如图 5 - 7、图 5 - 8 所示。

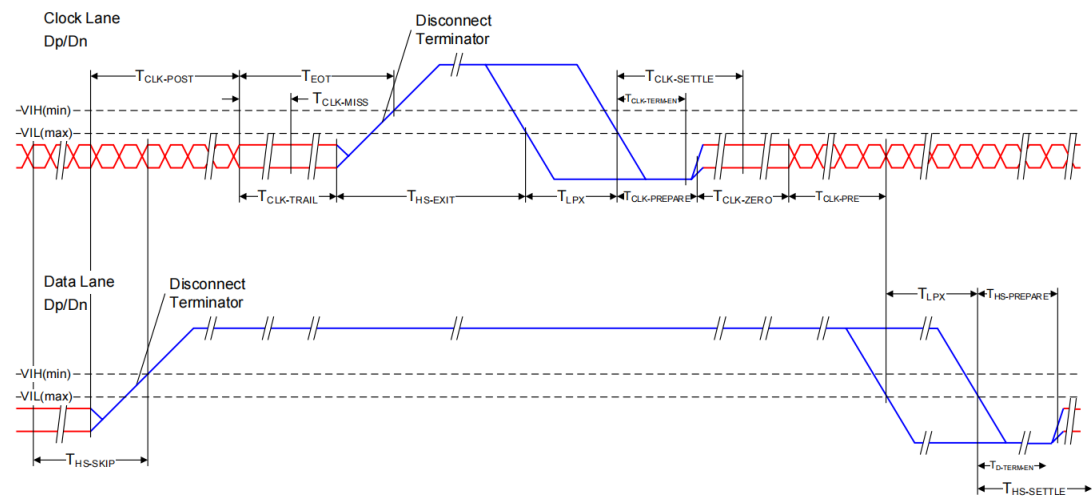


图 5 - 7 Switching the Clock Lane between Clock Transmission and Low-Power Mode

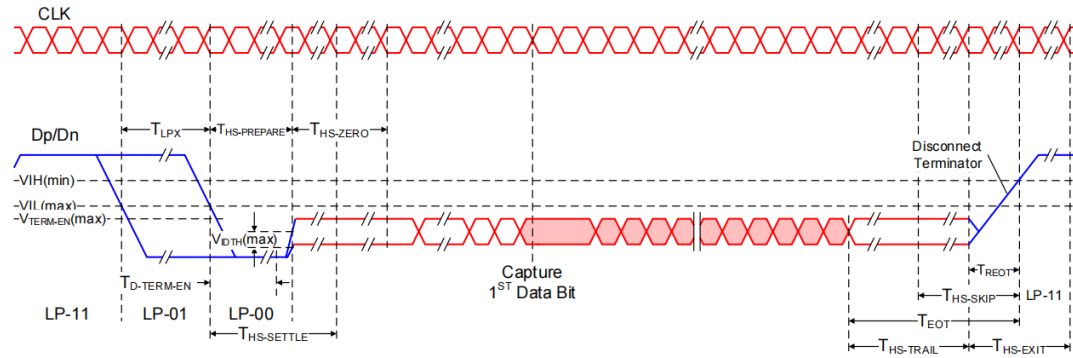


图 5 - 8 High-speed Data Transmission Bursts

5.2.1. Data Lane Parameter

表 5 - 3 Data Lane Parameter

Parameter	Target	Min	Max
THS-PREPARE	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	$40\text{ns}+4*UI$	$85\text{ns}+6*UI$
THS-PREPARE+THS-ZERO	THS-PREPARE + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	$145\text{ns}+10*UI$	
THS-SETTLE	Time interval during which the HS receive shall ignore any Data Lane HS transitions, starting from the beginning of THS-PREPARE	$85\text{ns}+6*UI$	$145\text{ns}+10*UI$
THS-SKIP	Time interval during which the HS-RX should ignore any Time interval during which the HS-RX transitions on the Data Lane, follow a HS burst. The end point of the interval is defined as the beginning of the LP-11 state following the HS burst.	40	$55\text{ns}+4*UI$
THS-TRAIL	Time that the transmitter drives the HS-0 state after the last payload clock bit of a HS transmission burst.	$\text{Max}(n*8*UI, 60\text{ns} + n*4*UI)$	
Tlpx	Transmitted length of any Low-Power state period	50ns	
TWAKEUP	Time that a transmitter drives a Mark-1 state prior to a stop state in order to initiate an exit from ULPS.	1ms	

5.2.2. Clock Lane Parameter

表 5 - 4 Clock Lane Parameter

Parameter	Target	Min	Max
TCLK-MISS	Timeout for receive to detect absence of clock transmission and disable the clock lane HS-RX.	60ns	
TCLK-POST	Time that the transmitter continue to send HS clock after the last associated Data Lane has transitioned to LP MODE. Interval is define as the period from the end of Ths-trail to the beginning Tclk-trail.	$60\text{ns} + 52 \cdot \text{UI}$	
TCLK-PRE	Time that the HS clock shall be driven by the transmitter prior to any associate Data Lane beginning transition from LP to HS mode.	$8 \cdot \text{UI}$	
TCLK-PREPARE	Time that the transmitter driver the clock Lane LP-00 line state immediately before the HS-0 line state starting the HS transmission.	38ns	95ns
TCLK-SETTLE	Time interval during which the HS receive shall ignore any Clock Lane HS transmissions, starting from the beginning of TCLK-PREPARE	95ns	300ns
TCLK-TRAIL	Time that the transmitter driver the HS-0 state after the last payload clock bit of a HS transmission burst.	60ns	
TCLK-PREPARE+TCLK-ZERO	TCLK-PREPARE + time that the transmitter drivers the HS-0 state prior of starting the clock	300ns	
TEOT	Transmitted time interval from the start of TCLK-TRAIL or THS-TRAIL, to the start of the LP-11 state following a HS burst.		$105\text{ns} + n \cdot 12 \cdot \text{UI}$

5.2.3. MIPI 寄存器

表 5 - 5 MIPI 寄存器

Address	Register name	Default	R/W	Description
P5:0x14	H_SIZE_MIPI	0x05	R/W	Bit[3:0]:h_size_mipi[11:8]
P5:0x15	H_SIZE_MIPI	0x10	R/W	Bit[7:0]:h_size_mipi[7:0] MIPI column number
P5:0x27	DOUBLEL	0x00	R/W	Bit[0]:DoubleL 1/2 lane select, 1'b1: for 2 lane mode; 1'b0: for 1 lane mode

6. 寄存器列表

6.1. Global Register

表 6 - 1 Global Registers

Address	Register name	Default	R/W	Description
0xfb	STARTEXP	0x00	R/W	Bit[0]: STARTEXP 写 1 后开始曝光
0xfc	SOFTRST	0x00	W	Bit[0]: SOFTRST 写 0x01:softrst 拉高，延迟 1237.5ns 自动拉低 (复位后 5us 之后再进行配置)
0xfd	REGPAGE	0x00	R/W	Bit[2:0]: REGPAGE 在写入对应的 REGPAGE 的寄存器时需要先写入对应 PAGE 0x07: Reserved 0x06: REGPAGE6 0x05: REGPAGE5 0x04: REGPAGE4 0x03: Reserved 0x02: REGPAGE2 0x01: REGPAGE1 0x00: REGPAGE0 全局寄存器
0xfe	RESTART	0x00	W	Bit[1]: NewSetting, 写 1, 以生效部分寄存器 Bit[0]: restart, 写 1, 以放弃当前帧, 立刻生效 写入的配置, 并重新开始一帧曝光 自回零寄存器, 全局寄存器

6.2. REGPAGE0

表 6 - 2 Page0 Registers

Address	Register name	Default	R/W	Description
P0:0x70	FSYNC_COMMC	0x08	R/W	Bit[7:6]: EVSYNC in filter 2'b00: 2 eclk 2'b01: 4 eclk 2'b10: 6 eclk 2'b11: 8 eclk Bit[5]: EVSYNC in polarity 1'b0: active high 1'b1: active low Bit[4]: FSYNC out polarity 1'b0: active high 1'b1: active low Bit[3]: EVSYNC_oen: 1'b0: Output Enable, active low 1'b1: Output Disable Bit[2]: EVSYNC_ie: 1'b0: Input Disable 1'b1: Input Enable (reserved) Bit[1:0]: reserved
P0:0x80	ADDR_PGM	0x00	R/W	Bit[7:0]: ADDR_PGM address for the OTP write mode
P0:0x81	DATA_PGM	0x00	R/W	Bit[7:0]: DATA_PGM data for the OTP write mode
P0:0x82	ADDR_READ	0x00	R/W	Bit[7:0]: ADDR_READ address for the OTP read mode
P0:0x83	OTP_CTRL	0x00	R/W	Bit0: start_program (下一次写入前需拉低) Bit1: start_read (下一次读出前需拉低) Bit2: i_dm (detection mode)
P0:0x84	OTP_P0	0x01	R/W	Bit[7:0]: OTP_P0[7:0] otp_vppsw 拉高后 OTP_P0 个 eclk 周期后 otp_ce 拉高, otp_ce 拉低后 OTP_P0 个 eclk 周期后 otp_vppsw 拉低
P0:0x85	OTP_P1	0x02	R/W	Bit[7:0]: OTP_P1 otp_vppce 拉高后 OTP_P1 个 eclk 周期后 otp_pgm 拉高 (min=2)
P0:0x86	OTP_P2_H	0x13	R/W	Bit[4:0]: OTP_P2[12:8]

P0:0x87	OTP_P2_L	0xb0	R/W	Bit[7:0]: OTP_P2[7:0]
P0:0x88	OTP_P3	0x02	R/W	Bit[7:0]: OTP_P3[7:0]
P0:0x89	OTP_P4	0x02	R/W	Bit[7:0]: OTP_P4[7:0]
P0:0x8a	OTP_P5	0x0c	R/W	Bit[7:0]: OTP_P5[7:0]
P0:0x8b	OTP_P6	0x02	R/W	Bit[7:0]: OTP_P6[7:0]
P0:0x8c	OTP_BUSY	0x00	R	Bit[0]: OTP_BUSY
P0:0x8d	DOUT_OTP_CONTROLLER	0x00	R	Bit[7:0]: DOUT_OTP_CONTROLLER[7:0]

6.3. REGPAGE1

表 6 - 3 Page1 Registers

Address	Register name	Default	R/W	Description
P1:0x04	VSTART	0x00	R/W	Bit[2:0]:VSTART[10:8]
P1:0x05	VSTART	0x08	R/W	Bit[7:0]: VSTART[7:0] 设置设置选窗的行选起始位置, Valid value: 11'h08 ~ 11'h434 (step=4)
P1:0x08	VSIZE	0x04	R/W	Bit[2:0]:VSIZE[10:8]
P1:0x09	VSIZE	0x30	R/W	Bit[7:0]: VSIZE[7:0] 设置选窗的行选尺寸大小, 最大值为 1072, 即 1072 行, 重新设置选窗大小需要复位
P1:0x0c	H_DUMMY	0x44	R/W	Bit[7:0]: H_DUMMY dummy 的列级 (reserved)
P1:0x0d	V_DUMMY	0x44	R/W	Bit[7:0]: V_DUMMY border 行 V_DUMMY[3:0]: 当 vend_total<1079 行时,会在 active 行的最后添 加 V_DUMMY[3:0]行 //vend_total=(VSTART+VSIZE- 1)+V_DUMMY[3:0] V_DUMMY[7:4]: 当 vstart_total>8 行时, 会在 active 行的开始添 加 V_DUMMY[7:4]行//vstart_total=VSTART- V_DUMMY[7:4] FRMTIME=(vend_total-vstart_total)+13+vblank// 此部分在 EXP_MODE[3:2]为 0x01 时: FRMTIME/2+vblank(EXP_MODE[1]=0 时, vblank=VBLANK;1 时为 1)
P1:0x0e	TEXP	0x00	R/W	Bit[7:0]:TEXP[15:8]
P1:0x0f	TEXP	0x02	R/W	Bit[7:0]:TEXP[7:0] 以 ROWTIME 为单位的曝光时间
P1:0x10	TEXP_CLK	0x01	R/W	Bit[2:0]:texp_clk[10:8]
P1:0x11	TEXP_CLK	0x00	R/W	Bit[7:0]:texp_clk[7:0] 曝光时间微调, 以 mclk 为单位
P1:0x13	VBLANK	0x00	R/W	Bit[6:0]:VBLANK[14:8]
P1:0x14	VBLANK	0x01	R/W	Bit[7:0]:VBLANK [7:0] 以 ROWTIME 为单位, 调整帧率
P1:0x15	EXT_EXP_OFFSET	0x00	R/W	Bit[7:0]: ext_exp_offset 外部曝光模式下, RST0139R 的实际曝光时间 = EVSYSN 宽度 - ext_exp_offset
P1:0x16	EXT_EXP_FILTER	0x01	R/W	Bit[1:0]: ext_exp_filter

				EVSYNC 的滤波等级, 0x03: 16 mclk 0x02: 8 mclk 0x01: 4 mclk 0x00: 2 mclk
P1:0x17	EXP_MODE	0x00	R/W	Bit[0]:EXP_MODE[8] darkrow_oe darkrow output enable ==0: Disable output ==1: Enable output
P1:0x18	EXP_MODE	0x01	R/W	Bit[7:0]:EXP_MODE[7:0] Bit[7]: darkrow order 1'b0: 0,1, 2,3,4,5,2,3,4,5 6,7 1'b1: 0, 1, 6,7 2,3,4,5,2,3,4,5, Bit[6:4]: data_mode 3'b000:12bit 3'b001:11+1bit 3'b010:10bit 3'b011:9+1bit 3'b100:8bit Bit[3:2]: read_mode 2'b00: DDS,single 2'b01: DDS,dual 2'b10: DCG Bit[1]: exp_mode 1'b0:internal exposure mode 1'b1:external exposure mode Bit[0]: FPSHIP 1'b0:曝光时间优先: 当曝光时间大于设置的帧率允许的最大曝光时间时, 帧率会随曝光时间增加而等比例下降; 1'b1:帧率优先: 当曝光时间大于设置的帧率允许的最大曝光时间时, 曝光时间会被钳位至 FRMTIME – FRMTIME_DELTA
P1:0x19	DEL_FRM_MODE	0x71	R/W	Bit[7]: del_mirror_change(1 为当做 mirror 操作时进行删帧操作) Bit[6]: del_updown_change(1 为当 updown 操作时进行删帧操作) Bit[5]: del_exp_rpc_change(1 为当曝光时间和 ramp 增益改变时进行删帧操作) Bit[4]: del_startexp (1 为 startexp 拉起时进行删帧操作) Bit[3:0]: del_num, 删帧数量, 表示删除 del_num 帧

P1:0x1a	TIMING_SELS0	0x7c	R/W	Bit[7]: gain test(reserved) Bit[6]: cnt_bit_rst_B:1'b1 为高电平, 1'b0 为低电平 Bit[5]: cnt_bit_rst_A:1'b1 为高电平, 1'b0 为低电平 Bit[4]: sample_vb_hold 1'b0:sample always on (在 vblank 期间也做采样) 1'b1:sample hhold @ VB Bit[3]: precharge_vb_hold 1'b0:precharge always on (在 vblank 期间也做 precharge) 1'b1:precharge hold @ VB Bit[2]: double_shutter_en 1'b0:Single precharge 1'b1:Double precharge Bit[1]: dual_row_en 1'b0:DDS single/DCG 1'b1:DDS dual Bit[0]: HCG_en 1'b1:HCG 1'b0:LCG
P1:0x20	AGAIN_LCG	0x00	R/W	Bit[0]: AGAIN_LCG [8]
P1:0x21	AGAIN_LCG	0x10	R/W	Bit[7:0]: AGAIN_LCG [7:0] 模拟增益=AGAIN_LCG /16, AGAIN_LCG =0x010 时, 模拟增益=1x; AGAIN_LCG =0x011 时, 模拟增益=17/16x, 以此类推。 ramp gain for LCG (only AGAIN_MODE bit[0]=1) AGAIN[8:4]<5'h02 ramp_res_code =5'h01 ramp_bias_code =AGAIN_LCG [3:0] AGAIN[8:4]<5'h04 ramp_res_code =5'h02 ramp_bias_code =AGAIN_LCG [4:1] AGAIN[8:4]<5'h08 ramp_res_code =5'h04 ramp_bias_code =AGAIN_LCG [5:2] AGAIN[8:4]<5'h10 ramp_res_code =5'h08 ramp_bias_code = AGAIN_LCG [6:3] AGAIN[8:4]>5'h10 ramp_res_code =5'h10 ramp_bias_code = AGAIN_LCG [7:4]

P1:0x22	AGAIN_HCG	0x00	R/W	Bit[0]: AGAIN_HCG[8]
P1:0x23	AGAIN_HCG	0x10	R/W	Bit[7:0]: AGAIN_HCG[7:0] 模拟增益=AGAIN_HCG/16, AGAIN_HCG=0x010 时, 模拟增益=1x; AGAIN_HCG=0x011 时, 模拟增益=17/16x, 以此类推。 ramp gain for HCG (only AGAIN_MODE bit[0]=1) AGAIN_HCG[8:4]<5'h02 ramp_res_code = 5'h01 ramp_bias_code = AGAIN_HCG [3:0] AGAIN_HCG [8:4]<5'h04 ramp_res_code = 5'h02 ramp_bias_code = AGAIN_HCG [4:1] AGAIN_HCG [8:4]<5'h08 ramp_res_code = 5'h04 ramp_bias_code = AGAIN_HCG [5:2] AGAIN_HCG [8:4]<5'h10 ramp_res_code = 5'h08 ramp_bias_code = AGAIN_HCG [6:3] AGAIN_HCG [8:4]>5'h10 ramp_res_code = 5'h10 ramp_bias_code = AGAIN_HCG [7:4]
P1:0x24	COMP_GAIN	0x00	R/W	Bit[1:0] COMP_GAIN comp_gain by adjust comparator cap for LCG 2'b00: x1 2'b01: x1.33 2'b10: x2 2'b11: x4
P1:0x25	COMP_GAIN_HCG	0x00	R/W	Bit[1:0] COMP_GAIN_HCG comp_gain by adjust comparator cap for HCG 2'b00: x1 2'b01: x1.33 2'b10: x2 2'b11: x4
P1:0x26	AGAIN_MODE	0x01	R/W	Bit[2:1]: AGAIN update mode 2'b00: updated for internal exposure mode 2'b01: updated for external exposure mode 2'b10/2'b11: immediately update Bit[0]: AGAIN_en 1'b1: setting Again by AGAIN 1'b0: setting Again by RAMP_RES_CODE and RAMP_BIAS_CODE
P1:0x27	RAMP_RES_CODE	0x01	R/W	Bit[4:0]: RAMP_RES_CODE

				ramp gain(only RPC_MODE bit[0]=1'b0), Valid value:5'h01,5'h02,5'h04,5'h08,5'h10
P1:0x28	RAMP_BIAS_CODE	0x00	R/W	Bit[3:0]: RAMP_BIAS_CODE ramp bias code(only RPC_MODE bit[0]=1'b0), Valid value: 4'h0 ~ 4'hf
P1:0x29	ROWTIME	0x01	R/W	Bit[2:0]:ROWTIME[10:8]
P1:0x2a	ROWTIME	0x48	R/W	Bit[7:0]:ROWTIME[7:0] 以 mclk 为单位的行时间
P1:0x2b	FRMTIME	0x04	R	Bit[7:0]:FRMTIME[15:8]
P1:0x2c	FRMTIME	0x39	R	Bit[7:0]:FRMTIME[7:0] 只读寄存器; 反应当前设置下的帧时间, 以 ROWTIME 为单位。
P1:0x2d	FRAME_DELTA	0x03	R/W	相当于 frmtime 的 offset, 最大曝光行 = FRMTIME - FRMTIME_DELTA
P1:0x2e	LP_VBLANK_CTRL1	0x84	R/W	Bit[7]: 1 for LP_vblank enable Bit[6:0]: LP_vblank start delay(在读出结束后延迟 LP_VBLANK_CTRL1[6:0]行, LP_vblank 拉高)
P1:0x2f	LP_VBLANK_CTRL2	0x0a	R/W	Bit[7:0]: LP_VBLANK_CTRL2 下一帧电路开始读出前 LP_VBLANK_CTRL2 行 LP_vblank 拉低
P1:0x70	BLC_DARKROW0	0x04	R/W	Bit[3:0]: BLC_DARKROW0, reserved
P1:0x71	BLC_DARKROW1	0x07	R/W	Bit[3:0]: BLC_DARKROW1, reserved
P1:0x72	BLC_DARKCOLS	0x01	R/W	Bit[1:0]: BLC_DARKCOLS[10:8] reserved
P1:0x73	BLC_DARKCOLS	0x00	R/W	Bit[7:0]: BLC_DARKCOLS[7:0] reserved
P1:0x74	BLC_DARKCOLE	0x01	R/W	Bit[1:0]: BLC_DARKCOLE[10:8] reserved
P1:0x75	BLC_DARKCOLE	0x00	R/W	Bit[7:0]: BLC_DARKCOLE[7:0] reserved
P1:0x80	FSYNC_MODE	0x00	R/W	Bit[1:0]: 2'b00: None EVSYNC mode 2'b01: Slave vblank mode 2'b10: Reserved 2'b11: Master Mode
P1:0x81	FSYNC_M_WIDTH	0x0a	R/W	Bit[7:0]: FSYNC_M_WIDTH 作为 Master 时, 输出的 EVSYNC 脉冲宽度
P1:0x82	FSYNC_M_INTERVAL	0x01	R/W	作为 Master 时, 输出的 EVSYNC 脉冲间隔
P1:0x83	FSYNC_M_POSITION	0x08	R/W	作为 Master 时, 输出 EVSYNC 的相对位置
P1:0x85	FSYNC_S_POSITION	0x08	R/W	作为 Slave 时, 同步 EVSYNC 的相对位置
P1:0x86	FSYNC_S_DEL_FRM	0x11	R/W	Bit[7:4]: 1st_sync_threshold (同步阈值, slave 模式下接收到的 EVSYNC 偏离预期位置超过此阈值时, 被判定为首次同步) Bit[2:3]: Reserved

				Bit[1]: del_frm_after_1st_sync (当为 1 时，首次同步之后的帧会被删除) Bit[0]: del_frm_before_1st_sync(当为 1 时，首次同步前，RST0139R 不输出图像)
P1:0x90	DIG_GAIN	0x00	R/W	Bit[1:0]: DIG_GAIN 0x03: 8x (增益为 8) 0x02: 4x (增益为 4) 0x01: 2x (增益为 2) 0x00: 1x (增益为 1)

6.4. REGPAGE4

表 6 - 4 Page4 Registers

Address	Register name	Default	R/W	Description
P4:0x02	HSTART	0x00	R/W	Bit[1:0]:HSTART[9:8]
P4:0x03	HSTART	0x00	R/W	Bit[7:0]: HSTART[7:0] 设置选窗的列选起始位置
P4:0x06	HSIZE	0x02	R/W	Bit[1:0]:HSIZE[9:8]
P4:0x07	HSIZE	0x98	R/W	Bit[7:0]: HSIZE[7:0] 设置选窗的列选尺寸，最大值为 10'd664 即 1328 列，重新设置选窗大小需要复位
P4:0x09	OFFSET	0x00	R/W	Bit[2:0]: OFFSET[10:8]
P4:0x0a	OFFSET	0x00	R/W	Bit[7:0]: OFFSET[7:0]
P4:0x0b	CTRL_OB	0x00	R/W	Bit[5:0]:CTRL_OB Bit[5]: OB2_EN 1'b0: ob2 为 0 1'b1:为正常统计值 Bit[4]: random 随机数功能 1'b1 on 1'b0 off Bit[3:2]: 帧迭代 2'b11 : 8 帧迭代 (中值滤波) 2'b10 : 4 帧迭代 (中值滤波) 2'b01 : reserved 2'b00 : 1 帧迭代 (中值滤波) Bit[1]: OB_en, 1'b1 可设在几帧后一直替换 ob 值 (OB_FRAME_DLY 配置延迟的帧数) 1'b0 off Bit[0]: freeze 1'b1 freeze 当前的 ob 生效值 1'b0 正常更新 ob
P4:0x0c	BLC_CTRL	0x00	R/W	Bit[1:0]: BLC_CTRL Bit[1]: reserved Bit[0]: BLC_EN, BLC 功能使能。
P4:0x0f	TEST_EN	0x00	R/W	Bit[0]:test_en
P4:0x10	MIPI_EN	0x00	R/W	Bit[1]: mipi_update_mode 1'b1 for mipi_en updated immediately 1'b0 for mipi_en updated sync with vsync Bit[0]: mipi_en
P4:0x11	MIPI_EN_DLY	0x00	R/W	Bit[2:0]: MIPI_EN_DLY [10:8]
P4:0x12	MIPI_EN_DLY	0x00	R/W	Bit[7:1]: MIPI_EN_DLY [7:0]

				delay MIPI_EN_DLY-1 cycle of mclk to update mipi_en immediately @mipi_update_mode=1
P4:0x13	MF_ABS_DIFFER	0x08	R/W	Bit[4:0]: MF_ABS_DIFFER [12:8]
P4:0x15	MF_ABS_DIFFER	0x00	R/W	Bit[7:0]: MF_ABS_DIFFER [7:0]
P4:0x15	BLC_DC_LIMIT	0x03	R/W	Bit[1:0]: BLC_DC_LIMIT[9:8]
P4:0x16	BLC_DC_LIMIT	0xff	R/W	Bit[7:0]: BLC_DC_LIMIT[7:0]
P4:0x20	K_RED	0x01	R/W	Bit[0]: K_RED [7:0]
P4:0x21	K_RED	0x00	R/W	Bit[7:0]: K_RED [7:0]
P4:0x22	K_GREEN	0x01	R/W	Bit[0]: K_GREEN [9:8]
P4:0x23	K_GREEN	0x00	R/W	Bit[7:0]: K_GREEN [7:0]
P4:0x24	K_NIR	0x01	R/W	Bit[0]: K_NIR [8]
P4:0x25	K_NIR	0x00	R/W	Bit[7:0]: K_NIR [7:0]
P4:0x26	K_BLUE	0x01	R/W	Bit[0]: K_BLUE [8]
P4:0x27	K_BLUE	0x00	R/W	Bit[7:0]: K_BLUE [7:0]
P4:0x28	K_WHITE	0x01	R/W	Bit[0]: K_WHITE [8]
P4:0x29	K_WHITE	0x00	R/W	Bit[7:0]: K_WHITE [7:0]
P4:0x2a	K_RED_D	0x01	R/W	Bit[0]: K_RED_D [8]
P4:0x2b	K_RED_D	0x00	R/W	Bit[7:0]: K_RED_D [7:0]
P4:0x2c	K_GREEN_D	0x01	R/W	Bit[0]: K_GREEN_D [8]
P4:0x2d	K_GREEN_D	0x00	R/W	Bit[7:0]: K_GREEN_D [7:0]
P4:0x2e	K_NIR_D	0x01	R/W	Bit[0]: K_NIR_D [8]
P4:0x2f	K_NIR_D	0x00	R/W	Bit[7:0]: K_NIR_D [7:0]
P4:0x30	K_BLUE_D	0x01	R/W	Bit[0]: K_BLUE_D [8]
P4:0x31	K_BLUE_D	0x00	R/W	Bit[7:0]: K_BLUE_D [7:0]
P4:0x32	K_WHITE_D	0x01	R/W	Bit[0]: K_WHITE_D [8]
P4:0x33	K_WHITE_D	0x00	R/W	Bit[7:0]: K_WHITE_D [7:0]
P4:0x34	BLC_RPC	0x00	R/W	Bit[6:0]: BLC_RPC
P4:0x35	A_GAIN	0x00	R/W	Bit[3:0]: A_GAIN [11:8]
P4:0x36	A_GAIN	0x10	R/W	Bit[7:0]: A_GAIN [7:0]
P4:0x37	OB_WHITE_DIFFER	0x32	R/W	Bit[7:0]: OB_WHITE_DIFFER 白色 ob 值统计值与有效值之差是否触发 trigger 的阈值（绝对值）
P4:0x38	OB_FRAME_DLY	0x00	R/W	Bit[7:0]: OB_FRAME_DLY 可设定 trigger 发生后延迟 OB_FRAME_DLY 帧再替换 ob 值（统计值给到生效值）
P4:0x39	OB_FRAME_SUC	0x00	R/W	Bit[7:0]: OB_FRAME_SUC 可设定 trigger 发生后 1+OB_FRAME_SUC 帧进行连续 ob 值替换

6.5. REGPAGE5

表 6 - 5 Page5 Registers

Address	Register name	Default	R/W	Description
P5:0x14	H_SIZE_MIPi	0x05	R/W	Bit[3:0]:h_size_mipi[11:8]
P5:0x15	H_SIZE_MIPi	0x10	R/W	Bit[7:0]:h_size_mipi[7:0] MIPI column number
P5:0x27	DOUBLEL	0x00	R/W	Bit[0]:DoubleL 1/2 lane select, 1'b1: for 2 lane mode; 1'b0: for 1 lane mode

7. 文档修订历史

版本	修改内容说明	Owner/Date
----	--------	------------